Apresentação

# Cesar Albenes Zeferino

Endereço para acessar este CV: http://lattes.cnpq.br/9888386354516064

ID Lattes: 9888386354516064

Última atualização do currículo em 12/07/2021

# Resumo

Possui graduação em Engenharia Elétrica pela Universidade Federal de Santa Maria (1993), mestrado em Ciência da Computação pela Universidade Federal de Santa Catarina (1996) e doutorado em Ciência da Computação pela Universidade Federal do Rio Grande do Sul (2003), com estágio na Université Pierre et Marie Curie / Sorbonne University (2001). Tem experiência em ensino, pesquisa e desenvolvimento na área de Computação, com ênfase em Arquitetura de Sistemas de Computação. &#10;&#10;Atualmente é professor da Universidade do Vale do Itajaí, onde é Gerente de Pesquisa e Pós-Graduação da Instituição e líder do grupo de pesquisa LEDS - Laboratory of Embedded and Distributed Systems.. &#10;&#10;É membro da Sociedade Brasileira de Computação (SBC), da Sociedade Brasileira de Microeletrônica (SBMicro) e da IEEE Circuits and Systems Society. É também membro consultor ad-hoc das agências de fomento Capes, CNPq e FAPESC, assim como revisor de diversos periódicos científicos..&#10;&#10;Os principais tópicos de pesquisa de seu interesse incluem: Sistemas Embarcados, com ênfase em tecnologias para a Internet das Coisas, e Projeto de Sistemas Digitais, com foco em arquiteturas de comunicação chaveadas de alto desempenho para sistemas integrados em um único chip (NoCs - Networks-on-Chip) e aceleradores de hardware para o processamento digital de imagens.

# Identificação

|  |  |
| --- | --- |
| Nome | Cesar Albenes Zeferino |
| Nome em citações bibliográficas | ZEFERINO, Cesar Albenes;ZEFERINO, C. A.;ZEFERINO, CESAR;ZEFERINO, CESAR A.;ALBENES ZEFERINO, CESAR;A. ZEFERINO, CESAR |
| Lattes iD | 9888386354516064 |
| Orcid iD | https://orcid.org/0000-0003-3039-4410 |

# Endereço

|  |  |
| --- | --- |
| Endereço Profissional | Universidade do Vale do Itajaí, Centro de Ciências Tecnológicas da Terra e do Mar - CTTMar |
|  | Rua Uruguai - de 402 ao fim - lado par |
|  | Centro |
|  | 88302202 - Itajaí, SC - Brasil - Caixa-postal: 360 |
|  | Telefone: (47) 33417911 |
|  | Fax: (47) 33417544 |

Linhas de pesquisa

|  |  |
| --- | --- |
| **1** | Projeto de Sistemas Digitais Integrados  Objetivo: Estuda questões relacionadas ao projeto de sistemas digitais integrados em um único chip, incluindo metodologias de projeto, ferramentas para auxílio à integração de sistemas e modelagem e síntese de sistemas digitais integrados.  Palavras-chave: Projeto de Sistemas Digitais; Sistemas Integrados; FPGA. |
| **2** | Redes-em-Chip  Objetivo: Aborda o desenvolvimento de novas arquiteturas de comunicação intra-chip para a integração de sistemas embarcados distribuídos construído em uma única pastilha de silício. São realizados trabalhos sobre especificação projeto, modelagem, síntese e avaliação de redes-em-chip.  Palavras-chave: Arquitetura de Redes de Interconexão; Sistemas Integrados; Redes-em-Chip. |
| **3** | Sistemas Embarcados  Objetivo: Investiga aspectos associados ao projeto de sistemas computacionais embarcados, incluindo metodologias de projeto, concepção de sistemas dedicados baseados em microcontroladores e processadores digitais de sinais, desenvolvimento de software básico e aplicativos, bem como o projeto e a implementação de soluções de automação e robótica baseada em sistemas computacionais embarcados.  Palavras-chave: Arquitetura de Computadores; Sistemas Embarcados; Microcontroladores. |

Projetos de pesquisa

|  |  |
| --- | --- |
| **2019 - Atual** | Um Estudo sobre Tecnologias e Aplicac&#807;o&#771;es para a Internet das Coisas (Apoio: FAPESC - Chamada FAPESC No 06/2017 - Apoio a Grupos de Pesquisa das Instituições do Sistema ACAFE)  Descrição: Este projeto visa identificar e caracterizar as tecnologias (arquiteturas, protocolos e servic&#807;os) para o desenvolvimento de aplicac&#807;o&#771;es para a Internet das Coisas com vistas a subsidiar pesquisas e o projeto de produtos no estado da arte.  Situação: Em andamento; Natureza: Pesquisa.  Alunos envolvidos: Graduação: (4) / Especialização: (0) / Mestrado acadêmico: (2) / Mestrado profissional: (0) / Doutorado: (0).  Integrantes: Cesar Albenes Zeferino / Alejandro Rafael Garcia Ramirez / Michelle Silva Wangham / Douglas Rossi de Melo / Eduardo Alves da Silva / Felipe Viel / Valderi Reis Quietinho Leithardt / Guilherme Augusto Sborz / Marciel de Liz Santos / Luis Augusto Silva / Pablo Flávio da Rosa / Daniel Domingos Adriano  Financiador(es): Fundação de Amparo à Pesquisa e Inovação do Estado de Santa Catarina - Auxilio financeiro  Número de produções C, T & A: 7 |
| **2018 - Atual** | SpeedIP: Sistemas Multiprocessados em FPGA para o Processamento Digital de Imagem (Apoio: CNPq - Chamada MCTIC/CNPq Nº 28/2018 - Universal/Faixa B - Processo: 436982/2018-8)  Descrição: Descrição: Este projeto busca investigar alternativas arquiteturais eficientes para implementação de sistemas multiprocessados de software e hardware integrados em FPGA de modo a suportar o desenvolvimento de soluções de processamento digital de imagem para sistemas computacionais embarcados. Como resultados, espera-se obter o domínio tecnológico sobre arquiteturas de sistemas computacionais de alto desempenho integrados em FPGA para o desenvolvimento de soluções inovadoras de processamento digital de imagem.  Situação: Em andamento; Natureza: Pesquisa.  Alunos envolvidos: Graduação: (5) / Especialização: (0) / Mestrado acadêmico: (4) / Mestrado profissional: (0) / Doutorado: (1).  Integrantes: Cesar Albenes Zeferino / Thiago Felski Pereira / Altamiro Amadeu Susin / Márcio Eduardo Kreutz / Douglas Rossi de Melo / Eros Comunello / Felipe Viel / Lucas Martins Veras Pereira / Guilherme Augusto Sborz / Lucas Amilton Martins / Wemerson Parreira / Andrei Francisco da Rosa / Arthur Passos / André Francisco Ribeiro Bezerra / Ivan Jader Borchardt / Douglas Almeida dos Santos / Areielle Verri Lucca / Samuel da Silva Oliveira / George de Borba Nader / Bruna Henning Pereira  Financiador(es): Conselho Nacional de Desenvolvimento Científico e Tecnológico - Auxilio financeiro / Coordenação de Aperfeiçoamento de Pessoal de Nível Superior - Bolsa / Conselho Nacional de Desenvolvimento Científico e Tecnológico - Bolsa  Número de produções C, T & A: 11 |
| **2014 - 2016** | SoCIN-Sec: Provimento de Segurança em Rede-em-Chip (Apoio: CNPq - Bolsa de Produtividade em Desenvolvimento Tecnológico e Extensão Inovadora - DT 2013)  Descrição: Este projeto visa abordar prover mecanismos de segurança à rede SoCIN, uma Rede-em-Chip de baixo custo que na sua concepção não foi construída levando em conta requisitos de segurança. O projeto envolve estudos sobre ameaças e vulnerabilidades de sistemas baseados em redes-em-chip e sobre soluções de segurança propostas na literatura. A partir desses estudos, serão realizadas implementações e avaliações de mecanismos de segurança na rede SoCIN de modo a identificar soluções para reduzir a vulnerabilidade dessa rede com o mínimo de sobrecusto de silício e de impacto no seu desempenho. Como resultados, além de uma versão segura da rede SoCIN, busca-se obter uma análise unificada de mecanismos propostos na literatura, bem como propor novas soluções para provimento de segurança em Redes-em-Chip.  Situação: Concluido; Natureza: Pesquisa.  Alunos envolvidos: Graduação: (1) / Especialização: (0) / Mestrado acadêmico: (2) / Mestrado profissional: (0) / Doutorado: (0).  Integrantes: Cesar Albenes Zeferino / Sidnei Baron / Marcos Roberto da Silva / Éderson Recalcatti / Luiz Gustavo Metzger  Financiador(es): Conselho Nacional de Desenvolvimento Científico e Tecnológico - Bolsa  Número de produções C, T & A: 17 |
| **2012 - Atual** | RedScarf: plataforma para avaliação de desempenho de arquiteturas de Redes-em-Chip  Descrição: Este projeto tem por objetivo a disponibilização de ferramentas computacionais para o desenvolvimento e avaliação de arquiteturas de Redes-em-Chip. Ele compreende um simulador integrado de Rede-em-Chip composto de um front-end gráfico com ferramentas que automatizam as etapas de configuração, execução e análise de experimentos. Como back-end, é utilizado um motor de simulação SystemC e pretende-se integrar uma plataforma FPGA para emulação em hardware.  Situação: Em andamento; Natureza: Pesquisa.  Alunos envolvidos: Graduação: (3) / Especialização: (0) / Mestrado acadêmico: (2) / Mestrado profissional: (0) / Doutorado: (0).  Integrantes: Cesar Albenes Zeferino / Eduardo Alves da Silva / Daniel Menegasso / Roseli da Silveira Uhlendorf / Sérgio Vargas Júnior  Financiador(es): Coordenação de Aperfeiçoamento de Pessoal de Nível Superior - Bolsa / Universidade do Vale do Itajaí - Bolsa  Número de produções C, T & A: 9 |
| **2012 - 2015** | Introdução à Programação e à Implementação de Processadores a Alunos do Ensino Médio (Apoio: CNPq - Chamada CNPq/VALE S.A. No 05/2012 ? Forma-Engenharia)  Descrição: Este projeto visa introduzir conceitos de programação e implementação de processadores a alunos de ensino médio utilizando com referência uma arquitetura simplificada de processador desenvolvida especialmente para o ensino de conceitos básicos de programação e arquitetura de computadores a alunos ingressantes em cursos de graduação na área de Computação. O projeto envolverá a capacitação dos alunos nos fundamentos de algoritmos e programação e de projeto de circuitos e sistemas digitais, com atividades práticas relacionadas aos temas estudados. Ao final do projeto, serão desenvolvidas aplicações básicas de sistemas embarcados rodando no processador de referência sintetizado em FPGA. Espera-se que os alunos envolvidos no projeto sintam-se motivados a ingressar na área de Engenharia de Computação.  Situação: Concluido; Natureza: Pesquisa.  Alunos envolvidos: Graduação: (1) / Especialização: (0) / Mestrado acadêmico: (0) / Mestrado profissional: (0) / Doutorado: (0).  Integrantes: Cesar Albenes Zeferino / André Luis Alice Raabe / André Ricardo da Silva / Alberto Neto Brocardo / André Luiz Lemos Guerra / João Pedro del Giúdice de Carvalho / Felipe Viel  Financiador(es): Conselho Nacional de Desenvolvimento Científico e Tecnológico - Bolsa  Número de produções C, T & A: 1 |
| **2011 - 2014** | Interfaces de comunicação para Rede-em-Chip (Apoio: CNPq - Bolsa de Produtividade em Desenvolvimento Tecnológico e Extensão Inovadora - DT 2010)  Descrição: Este projeto tem como objetivo geral investigar os serviços de comunicação necessários a aplicações para SoCs e desenvolver interfaces de rede baseadas no modelo OSI para interconexão de núcleos por meio da NoC SoCIN.  Situação: Concluido; Natureza: Pesquisa.  Alunos envolvidos: Graduação: (1) / Especialização: (0) / Mestrado acadêmico: (3) / Mestrado profissional: (0) / Doutorado: (0).  Integrantes: Cesar Albenes Zeferino / Sidnei Baron / Michelle Silva Wangham / Douglas Rossi de Melo / Daniel Menegasso / Roseli da Silveira Uhlendorf  Financiador(es): Conselho Nacional de Desenvolvimento Científico e Tecnológico - Bolsa  Número de produções C, T & A: 7 |
| **2010 - 2013** | Formação de Pesquisadores na Área de Projeto de Circuitos e Sistemas Integrados (Apoio: CNPq - Ed. PNM 2009)  Descrição: O objetivo geral deste projeto é o de formar pesquisadores em nível de mestrado na área de concepção de circuitos e de sistemas integrados envolvendo diferentes tecnologias de projeto de hardware de software embarcado.  Situação: Concluido; Natureza: Pesquisa.  Alunos envolvidos: Graduação: (0) / Especialização: (0) / Mestrado acadêmico: (3) / Mestrado profissional: (0) / Doutorado: (0).  Integrantes: Cesar Albenes Zeferino / Sidnei Baron / Thiago Felski Pereira / Rodrigo Vinícius Mendonça Pereira  Número de produções C, T & A: 0 |
| **2010 - 2013** | Uso do Protocolo LIN na Interconexão de Sistemas em Satélites Artificiais (Apoio: AEB - Programa Uniespaço 2009)  Descrição: Este projeto tem por objetivo avaliar a aplicabilidade do protocolo de comunicação LIN para uso na interconexão de sistemas computacionais aeroespaciais. No projeto pretende-se caracterizar os requisitos de comunicação de sistemas utilizados em satélites artificiais e avaliar capacidade do barramento LIN em atender a esses requisitos. Essa avaliação será realizada por meio de estudos e da implementação de protótipos de sistemas físicos.  Situação: Concluido; Natureza: Pesquisa.  Alunos envolvidos: Graduação: (2) / Especialização: (0) / Mestrado acadêmico: (1) / Mestrado profissional: (0) / Doutorado: (0).  Integrantes: Cesar Albenes Zeferino / Rodrigo Vinícius Mendonça Pereira / Éderson Recalcatti / William Simon Gutstein  Financiador(es): Agência Espacial Brasileira - Auxilio financeiro  Número de produções C, T & A: 0 |
| **2008 - 2016** | INCT NAMITEC - Tecnologias de Micro e Nanoeletrônica para Sistemas Integrados Inteligentes (Apoio: CNPq)  Descrição: O Instituto Nacional de Ciência e Tecnologia, denominado NAMITEC, aborda o tema de microeletrônica e nanoeletrônica dentro da área de tecnologias de informação e comunicação. NAMITEC aborda o tema de forma ampla, incluindo aplicações de redes de sensores sem fio, projeto de circuitos integrados, desenvolvimento de ferramentas de auxílio a projeto - EDA, desenvolvimento de dispositivos semicondutores, sobretudo microssensores e materiais e técnicas para fabricação de dispositivos.  Situação: Concluido; Natureza: Pesquisa.  Alunos envolvidos: Graduação: (0) / Especialização: (0) / Mestrado acadêmico: (0) / Mestrado profissional: (0) / Doutorado: (0).  Integrantes: Cesar Albenes Zeferino / Ivan Saraiva Silva / Jaison Valmor Bruch / Altamiro Amadeu Susin / Márcio Eduardo Kreutz / Douglas Rossi de Melo / Ricardo Pezzuol Jacobi / Jacobus Willibrordus Swart / Rubens Vicente de Liz Bomer / Eduardo Alves da Silva  Financiador(es): Conselho Nacional de Desenvolvimento Científico e Tecnológico - Bolsa  Número de produções C, T & A: 0 |
| **2008 - 2012** | CHS20 (Apoio: FINEP - Chamada Pública MCT/FINEP/MC/FUNTTEL ? Áreas Temáticas Prioritárias - 02/2007)  Descrição: Este projeto visa o desenvolvimento e aplicação de novas tecnologias para a integração de produtos da área de telecomunicações. Ele realizado em colaboração com a empresa Intelbras e é financiado pela FINEP.  Situação: Concluido; Natureza: Pesquisa.  Alunos envolvidos: Graduação: (0) / Especialização: (0) / Mestrado acadêmico: (2) / Mestrado profissional: (0) / Doutorado: (0).  Integrantes: Cesar Albenes Zeferino / Fabrício Bortoluzzi / Marcos Roberto da Silva / Thiago Felski Pereira / Alejandro Rafael Garcia Ramirez / Marcello Thiry / Michelle Silva Wangham / Douglas Rossi de Melo  Financiador(es): Financiadora de Estudos e Projetos - Auxilio financeiro  Número de produções C, T & A: 3 |
| **2008 - 2012** | IP de Interface LIN Escravo para Sub-redes Automotivas (Apoio: CNPq - Programa Brazil IP 2007)  Descrição: Este projeto visa o desenvolvimento de um IP core baseado no protocolo LIN Bus para interconexão de dispositivos a redes automotivas, bem como a formação de recursos humanos capacitados no desenvolvimento de projetos de circuitos integrados e redes automotivas.&#10;&#10;O projeto integra o Programa Brazil IP 2008, do Ministério da Ciência e Tecnologia - MCT, o qual inclui ainda outros 15 projetos de diferentes universidade do País.  Situação: Concluido; Natureza: Pesquisa.  Alunos envolvidos: Graduação: (4) / Especialização: (0) / Mestrado acadêmico: (1) / Mestrado profissional: (0) / Doutorado: (0).  Integrantes: Cesar Albenes Zeferino / Rodrigo Vinícius Mendonça Pereira / Éderson Recalcatti / William Simon Gutstein / Gabriel Goedert Freitas / Luiz Fernando Heidrich Duarte  Financiador(es): Conselho Nacional de Desenvolvimento Científico e Tecnológico - Bolsa / Conselho Nacional de Desenvolvimento Científico e Tecnológico - Auxilio financeiro  Número de produções C, T & A: 3 |
| **2008 - 2010** | Plataforma para Avaliação de Desempenho de Redes-em-Chip em FPGA (Apoio: CNPq - Ed. PNM 2007)  Descrição: Este projeto de pesquisa visa desenvolver uma plataforma para avaliação de desempenho baseada em FPGA. Serão feitos estudos para identificar o estado-da-arte da avaliação de desempenho de NoCs, após o que serão desenvolvidos núcleos sintetizáveis de medidor e de gerador de tráfego e uma ferramenta para controle dos experimentos e análise dos resultados. Esses núcleos e essa ferramenta serão integrados em uma plataforma que servirá de instrumento para acelerar a avaliação de desempenho de novas soluções arquiteturais para NoCs.  Situação: Concluido; Natureza: Pesquisa.  Alunos envolvidos: Graduação: (0) / Especialização: (0) / Mestrado acadêmico: (1) / Mestrado profissional: (0) / Doutorado: (0).  Integrantes: Cesar Albenes Zeferino / Magnos Roberto Pizzoni  Financiador(es): Conselho Nacional de Desenvolvimento Científico e Tecnológico - Bolsa  Número de produções C, T & A: 0 |
| **2008 - 2010** | Infra-estrutura Hardware/Software para Validação e Análise de Desempenho de Redes-em-Chip em FPGA (Apoio: CNPq - Ed. Universal 2008)  Descrição: Este projeto o desenvolvimento de uma infra-estrutura de apoio à pesquisa sobre Networks-on-Chip - NoCs por meio da disponibilização de geradores de tráfego sintetizáveis para validação física e para a avaliação de desempenho de NoCs em dispositivos do tipo FPGA. A idéia é que essa infra-estrutura facilite a validação da rede e a realização de experimentos de análise de desempenho mais rapidamente e com maior precisão do que aqueles realizados em ambientes de simulação. Serão desenvolvidos modelos de geradores de tráfego sintetizáveis que emulem o tráfego de aplicações reais, e ferramentas de apoio que possibilitem a especificação e a configuração desses geradores. Também serão disponibilizados circuitos para medição de tráfego e uma ferramenta para análise do desempenho da rede a partir dos dados coletados.  Situação: Concluido; Natureza: Pesquisa.  Alunos envolvidos: Graduação: (1) / Especialização: (0) / Mestrado acadêmico: (1) / Mestrado profissional: (0) / Doutorado: (0).  Integrantes: Cesar Albenes Zeferino / Magnos Roberto Pizzoni  Financiador(es): Conselho Nacional de Desenvolvimento Científico e Tecnológico - Auxilio financeiro  Número de produções C, T & A: 1 |
| **2008 - 2009** | Estudo e Aplicação de Técnicas de Redução de Potência em Redes-em-Chip ? SoCIN-LP (Apoio: CNPq - Ed. Universal 2007)  Descrição: O presente projeto tem como objetivo geral investigar diferentes alternativas arquiteturais e técnicas de projeto para reduzir a potência dissipada em Sistemas-em-Chip (SoC ? System on Chip) que utilizam Redes-em-Chip (NoC ? Network on Chip).&#10;&#10;A tecnologia de microeletrônica tem evoluído continuamente há quase meio século, ultrapassando um a um os desafios encontrados. Do transistor ao circuito integrado, deste aos circuitos de alta densidade (LSI, VLSI e ULSI), chegando atualmente aos Sistemas em Chip. Enquanto o processo de fabricação evolui, novos domínios de conhecimento se agregam para solucionar novos problemas: a limitação de capacidade de projeto, que criou o chamado ?gap? de produtividade foi vencida com a introdução de novos técnicas de projeto auxiliadas por computador (esse ?gap? é o conjunto de circuitos que poderiam ser produzidos pela tecnologia disponível mas não o são pela falta de capacidade de projeto disponível na sociedade). Hoje, um dos maiores desafios para os sistemas altamente complexos é a dissipação de potência.&#10;&#10;Este projeto propõe a associação de duas linhas de pesquisa: uma em metodologia de projeto baseada em redes intra-chip e outra em técnicas de baixa potência. Unindo estas duas linhas de investigação, propõe-se pesquisar Sistemas em Chip (SoC) baseados em Redes intra-chip (NoC) utilizando técnicas de baixa potência para reduçãodo consumo de energia (LP, Low Power). Estes termos estão presentes em todas as conferências atuais de microeletrônica e Tecnologia de Informação e Comunicação. Componentes de hardware reutilizáveis são denominados núcleos (cores) ou IPs (Intelectual Property blocks). Em um SoC, os múltiplos núcleos são interligados por uma arquitetura de comunicação, sendo que o tipo de arquitetura mais utilizado atualmente é baseado no barramento, pois trata-se de uma estrutura de interconexão reutilizável e com baixo custo de silício.&#10; &#10;Embora as NoCs atendam os requisitos de desempenho de futuros SoCs, seus roteador  Situação: Concluido; Natureza: Pesquisa.  Alunos envolvidos: Graduação: (4) / Especialização: (0) / Mestrado acadêmico: (3) / Mestrado profissional: (0) / Doutorado: (0).  Integrantes: Cesar Albenes Zeferino / Altamiro Amadeu Susin / Márcio Eduardo Kreutz / Sergio Bampi / Eduardo Antônio César da Costa / Erlen Ruperti  Financiador(es): Conselho Nacional de Desenvolvimento Científico e Tecnológico - Auxilio financeiro / Universidade de Santa Cruz do Sul - Cooperacao / Universidade Federal do Rio Grande do Sul - Cooperacao / Universidade Católica de Pelotas - Cooperacao  Número de produções C, T & A: 0 |
| **2006 - 2008** | Comunicação com Qualidade-de-Serviço em Sistemas Eletrônicos Integrados baseados em Redes-em-Chip (Apoio: CNPq - Ed. Universal 2006)  Descrição: A contínua evolução das tecnologias de fabricação de chips tem propiciado o aumento do nível de intregração de circuitos em uma única pastilha de silício, dobrando o número de transistores a cada 18 meses. Atualmente, já é possível fabricar chips comerciais com várias centenas de milhões de transistores, integrando sistemas completos em um única pastilha. Tais sistemas, denominados sistemas integrados (ou SoCs ? Systems-on-Chip), incluem unidades de processamento, armazenamento e de entrada-e-saída, e são utilizados na fabricação de produtos de alta tecnologia como câmeras digitais, consoles de video-games, consoles de TV Digital, celulares 3G, etc. Os sistemas integrados estão atingindo dimensões de complexidade que desafiam a capacidade dos projetistas, mesmo os que dispõem de abundantes recursos computacionais. O chamado ?gap tecnológico?, que mede a distância entre o potencial oferecido pela tecnologia e a capacidade utilizável pelos projetistas, está se alargando. O aumento da produtividade só poderá advir de novas metodologias e novas ferramentas. Para acelerar o tempo de desenvolvimento desses sistemas, as metodologias de projeto utilizadas pelos fabricantes baseiam-se no reuso de componentes de software e de hardware. Os componentes de software incluem drivers E/S, sistemas operacionais parametrizáveis e bibliotecas de nível de aplicação. Os componentes de hardware, por sua vez, consistem de modelos de processadores, co-procesadores, controladores de E/S e unidades de memória, entre outros, os quais são pré-projetados, pré-vericados e disponibilizados aos projetistas na forma de uma biblioteca de componentes denominados ?núcleos? ou IPs (Intelectual Property blocks). Os múltiplos núcleos de um SoC são interligados por meio de uma arquitetura de comunicação que provê o suporte necessários às trocas de informação entre eles. Atualmente, o tipo de arquitetura mais utilizado é o barramento. No entanto, devido a limitações físicas e arquiteturais, o barramento  Situação: Concluido; Natureza: Pesquisa.  Alunos envolvidos: Graduação: (6) / Especialização: (0) / Mestrado acadêmico: (1) / Mestrado profissional: (0) / Doutorado: (0).  Integrantes: Cesar Albenes Zeferino / Altamiro Amadeu Susin / Márcio Eduardo Kreutz  Financiador(es): Conselho Nacional de Desenvolvimento Científico e Tecnológico - Auxilio financeiro / Universidade Federal do Rio Grande do Sul - Cooperacao / Universidade de Santa Cruz do Sul - Cooperacao  Número de produções C, T & A: 8 |
| **2005 - 2006** | Sistema Automatizado para o Controle de Telescópio de Pequeno Porte (Apoio: CNPq - Ed. 14/2004-DTI )  Descrição: Telescópios de pequeno porte podem ser automatizados por um equipamento portátil acoplado a eles, denominado manete (hand controller). Manetes permitem a entrada de informações pelo usuário, que deverão satisfazer algumas condições que, se corretas, moverão o telescópio para uma determinada posição desejada no céu. Telescópios de baixo custo geralmente não possuem automatização, que geralmente é responsável por 40% do preço do telescópio. Baseado no número de astrônomos amadores no Brasil, bem como no público aficionado pela astronomia, há cerca de 500 mil telescópios não automatizados no país. A relação custo/benefício que o acoplamento deste sistema (manete) proporcionaria ao usuário do telescópio seria considerada bastante interessante, uma vez que facilitaria muito sua utilização. Soluções tipicamente utilizadas para automatização são baseadas em Sistemas Computacionais Embarcados. Sistemas Computacionais Embarcados, ou simplesmente Sistemas Embarcados, são qualquer equipamento que inclui um dispositivo programável mas que não é, ele próprio, um computador de propósito-geral. Sistemas embarcados tiram vantagem das características da aplicação-alvo para otimizar o projeto, excluindo mecanismos de hardware e software que não são utilizados pela aplicação, minimizando assim sua área, seu custo e seu consumo de energia. O objetivo geral deste projeto é desenvolver um sistema embarcado de baixo custo para automatização de telescópios de pequeno porte, permitindo que qualquer pessoa possa usar adequadamente um telescópio de montagem equatorial ou altazimutal. Este projeto deve fornecer especificações técnicas completas para gerar um produto comercial final, pronto a ser instalado em todos os tipos de telescópios com essas montagens. Este projeto possui uma base sólida já desenvolvida em projeto anterior, e pretende expandí-lo de forma que atenda completamente os objetivos deste novo projeto.  Situação: Concluido; Natureza: Pesquisa.  Alunos envolvidos: Graduação: (2) / Especialização: (0) / Mestrado acadêmico: (0) / Mestrado profissional: (0) / Doutorado: (0).  Integrantes: Cesar Albenes Zeferino / Rafael Luiz Cancian / Roberto Miguel Torres / Caroline Farias Salvador / Marcos Roberto da Silva / Maicon Carlos Pereira  Número de produções C, T & A: 0 |
| **2004 - 2005** | Desenvolvimento de um Modelo VHDL Parametrizável de Microcontrolador e de uma Ferramenta de Customização para Integração de Sistemas em FPGA (Apoio: CNPq/Univali - PIBIC 2004)  Descrição: O objetivo geral deste projeto é o desenvolvimento de um modelo sintetizável e parametrizável de um microcontrolador compatível com a arquitetura da família PIC16 da Microchip e de uma ferramenta de suporte à customização do modelo, visando a integração de sistemas digitais em dispositivos de lógica programável de alta densidade (FPGAs).  Situação: Concluido; Natureza: Pesquisa.  Alunos envolvidos: Graduação: (1) / Especialização: (0) / Mestrado acadêmico: (0) / Mestrado profissional: (0) / Doutorado: (0).  Integrantes: Cesar Albenes Zeferino  Financiador(es): Conselho Nacional de Desenvolvimento Científico e Tecnológico - Bolsa  Número de produções C, T & A: 2 |
| **2003 - 2005** | Plataforma para o Desenvolvimento de Sistemas Computacionais Embarcados Microcontrolados Integrados em FPGA - ProPIC (Apoio: FAPESC - Ed. Universal 2003)  Descrição: O objetivo geral deste projeto é o desenvolvimento de uma plataforma de hardware e software para integração de sistemas digitais baseados em microcontrolador em um único dispositivo lógico programável de alta densidade (FPGA) e disponibilizar essa plataforma para o uso de indústrias de tecnologia de Santa Catarina a fim fomentar o aumento do nível de valor agregado de seus produtos e também de sua competividade.  Situação: Concluido; Natureza: Pesquisa.  Alunos envolvidos: Graduação: (3) / Especialização: (0) / Mestrado acadêmico: (0) / Mestrado profissional: (0) / Doutorado: (0).  Integrantes: Cesar Albenes Zeferino / Rafael Luiz Cancian / Adhemar Maria do Valle Filho  Financiador(es): Fundação de Amparo à Pesquisa e Inovação do Estado de Santa Catarina - Auxilio financeiro  Número de produções C, T & A: 6 |
| **2002 - 2004** | Mecanismos de Comunicação para Redes-em-Chip  Descrição: Com o advento dos processos submicrônicos, a capacidade de integração de transistores tem atingido níveis que possibilitam a construção de um sistema completo em uma única pastilha de silício. Esses sistemas, denominados sistemas integrados, baseiam-se no reuso de blocos previamente projetados e verificados, os quais são interligados por meio de uma arquitetura de interconexão. Os futuros sistemas integrados terão requisitos de comunicação que exigirão novas arquiteturas de interconexão que ofereçam paralelismo em comunicação e sejam escaláveis e reutilizáveis. A redes-em-chip demonstram ser a melhor alternativa para atender a esses requisitos, constituindo-se em abordagem emergente que oferece uma série de oportunidades de pesquisa. O presente projeto insere-se nesse contexto e visa estudar os aspectos referentes às redes-em-chip, focalizando a modelagem e a caracterização de alternativas de mecanismos de comunicação. O projeto envolve a especificação e a modelagem em VHDL de roteadores para redes-em-chip, a partir dos quais pretende-se obter dados a respeito do custo e do atraso de diferentes alternativas de mecanismos de comunicação.  Situação: Concluido; Natureza: Pesquisa.  Alunos envolvidos: Graduação: (1) / Especialização: (0) / Mestrado acadêmico: (0) / Mestrado profissional: (0) / Doutorado: (0).  Integrantes: Cesar Albenes Zeferino / Frederico Guilherme Mariani do Espirito Santo  Financiador(es): Assembléia Legislativa do Estado de Santa Catarina - Bolsa  Número de produções C, T & A: 11 |

Projetos de extensão

|  |  |
| --- | --- |
| **2015 - 2016** | Introdução à programação, robótica e implementação de processadores: atraindo talentos para as áreas de Engenharia e Computação  Descrição: Este projeto busca proporcionar oportunidades para estudantes das séries finais do Ensino Fundamental e do Ensino médio de conhecerem e se engajarem em atividades de Educação e inovação tecnológica.  Situação: Concluido; Natureza: Extensao.  Alunos envolvidos: Graduação: (2) / Especialização: (0) / Mestrado acadêmico: (1) / Mestrado profissional: (0) / Doutorado: (0).  Integrantes: Cesar Albenes Zeferino / Fabrício Bortoluzzi / André Luis Alice Raabe / Paulo Viniccius Vieira / Julia Peron Metzger / André Luis Maciel Santana / Eduardo Borges Gomes / Luis Felipe Santana  Número de produções C, T & A: 0 |
| **2014 - 2015** | Iniciação à Programação e à Implementação de Processadores a Estudantes do Ensino Médio (Apoio: CNPq - Chamada Nº 18/2013 MCTI/CNPq/SPM-PR/Petrobras - Meninas e Jovens Fazendo Ciências Exatas, Engenharias e Computação)  Descrição: O presente projeto visa introduzir conceitos de programação e implementação de processadores a alunas de ensino médio utilizando como referência uma arquitetura simplificada de processador desenvolvida especialmente para o ensino de conceitos básicos de programação e de arquitetura de computadores a alunos ingressantes em cursos de graduação na área de Computação. O projeto envolverá a capacitação das alunos nos fundamentos de algoritmos e programação e de projeto de circuitos e sistemas digitais, com atividades práticas relacionadas aos temas estudados. Ao final do projeto, serão desenvolvidas aplicações básicas de sistemas embarcados rodando no processador de referência sintetizado em FPGA. Espera-se que as alunas envolvidas no projeto sintam-se motivadas a ingressar em cursos da área de Computação, incluindo os cursos de Engenharia de Computação e de Ciência da Computação.  Situação: Concluido; Natureza: Extensao.  Alunos envolvidos: Graduação: (1) / Especialização: (0) / Mestrado acadêmico: (0) / Mestrado profissional: (0) / Doutorado: (0).  Integrantes: Cesar Albenes Zeferino / André Luis Alice Raabe / André Ricardo da Silva / Thatiani Steil / Laísa Alves Franco / Jaqueline de Aragão dos Santos / Maria Isabel Uchnsky Penin Peters / Julia Peron Metzger  Financiador(es): Conselho Nacional de Desenvolvimento Científico e Tecnológico - Auxilio financeiro  Número de produções C, T & A: 0 |
| **2010 - 2010** | Ciclo de Atualização em Inovação para Empresas de Telecomunicações (Apoio: CNPq - Ed. MCT/SETEC/CNPq Nº 013/2009 - PROINOVA)  Descrição: Este projeto consiste na promoção de um ciclo de atualização em inovação para empresas de Telecomunicações de Santa Catarina composto por 5 atividades versando sobre Desafio da inovação constante; Planejamento estratégico; Tendências e cases de sucesso; Parcerias e capacidade de investimentos em inovação; e Propriedade intelectual. Espera-se que este ciclo de atualização auxilie os gestores na busca de melhoria da qualidade de seus produtos e serviços, tendo como base experiências de empresas e gestores já consagrados no setor, bem como promova uma maior aproximação das empresas do setor com as instituições que desenvolvem pesquisa e desenvolvimento.  Situação: Concluido; Natureza: Extensao.  Alunos envolvidos: Graduação: (0) / Especialização: (0) / Mestrado acadêmico: (1) / Mestrado profissional: (0) / Doutorado: (0).  Integrantes: Cesar Albenes Zeferino / Lúcio Frantz  Financiador(es): - Nao informado  Número de produções C, T & A: 0 |

Projetos de desenvolvimento

|  |  |
| --- | --- |
| **2018 - 2018** | Teste e Validação de IP Core  Descrição: Projeto de desenvolvimento tecnológico executado para a startup francesa NanoRaven com o objetivo de testar e validar um IP Core para processamento de telemetria e telecomando para satélites pequenos para sistemas espaciais.  Situação: Concluido; Natureza: Desenvolvimento.  Alunos envolvidos: Graduação: (0) / Especialização: (0) / Mestrado acadêmico: (1) / Mestrado profissional: (0) / Doutorado: (0).  Integrantes: Cesar Albenes Zeferino / Douglas Rossi de Melo / Felipe Viel  Número de produções C, T & A: 0 |
| **2008 - 2012** | CHS20: Plataforma para o desenvolvimento de centrais PABX com acesso IP integradas em um único chip (Apoio: FINEP - Chamada Pública MCT/FINEP/MC/FUNTTEL ? Áreas Temáticas Prioritárias - 02/2007)  Descrição: Este projeto visa o desenvolvimento e aplicação de novas tecnologias para a integração de produtos da área de telecomunicações. Ele realizado em colaboração com a empresa Intelbras e é financiado pela FINEP.  Situação: Concluido; Natureza: Desenvolvimento.  Alunos envolvidos: Graduação: (0) / Especialização: (0) / Mestrado acadêmico: (2) / Mestrado profissional: (0) / Doutorado: (0).  Integrantes: Cesar Albenes Zeferino / Fabrício Bortoluzzi / Thiago Felski Pereira / Alejandro Rafael Garcia Ramirez / Marcello Thiry / Michelle Silva Wangham / Douglas Rossi de Melo  Financiador(es): Financiadora de Estudos e Projetos - Auxilio financeiro  Número de produções C, T & A: 1 |
| **2005 - 2006** | Sistema Automatizado para o Controle de Telescópio de Pequeno Porte (Apoio: CNPq - Ed. 14/2004-DTI )  Descrição: Telescópios de pequeno porte podem ser automatizados por um equipamento portátil acoplado a eles, denominado manete (hand controller). Manetes permitem a entrada de informações pelo usuário, que deverão satisfazer algumas condições que, se corretas, moverão o telescópio para uma determinada posição desejada no céu. Telescópios de baixo custo geralmente não possuem automatização, que geralmente é responsável por 40% do preço do telescópio. Baseado no número de astrônomos amadores no Brasil, bem como no público aficionado pela astronomia, há cerca de 500 mil telescópios não automatizados no país. A relação custo/benefício que o acoplamento deste sistema (manete) proporcionaria ao usuário do telescópio seria considerada bastante interessante, uma vez que facilitaria muito sua utilização. Soluções tipicamente utilizadas para automatização são baseadas em Sistemas Computacionais Embarcados. Sistemas Computacionais Embarcados, ou simplesmente Sistemas Embarcados, são qualquer equipamento que inclui um dispositivo programável mas que não é, ele próprio, um computador de propósito-geral. Sistemas embarcados tiram vantagem das características da aplicação-alvo para otimizar o projeto, excluindo mecanismos de hardware e software que não são utilizados pela aplicação, minimizando assim sua área, seu custo e seu consumo de energia. O objetivo geral deste projeto é desenvolver um sistema embarcado de baixo custo para automatização de telescópios de pequeno porte, permitindo que qualquer pessoa possa usar adequadamente um telescópio de montagem equatorial ou altazimutal. Este projeto deve fornecer especificações técnicas completas para gerar um produto comercial final, pronto a ser instalado em todos os tipos de telescópios com essas montagens. Este projeto possui uma base sólida já desenvolvida em projeto anterior, e pretende expandí-lo de forma que atenda completamente os objetivos deste novo projeto.  Situação: Concluido; Natureza: Desenvolvimento.  Alunos envolvidos: Graduação: (2) / Especialização: (0) / Mestrado acadêmico: (0) / Mestrado profissional: (0) / Doutorado: (0).  Integrantes: Cesar Albenes Zeferino / Rafael Luiz Cancian / Roberto Miguel Torres / Marcos Roberto da Silva  Financiador(es): Conselho Nacional de Desenvolvimento Científico e Tecnológico - Bolsa  Número de produções C, T & A: 4 |

Outros Projetos

|  |  |
| --- | --- |
| **2017 - Atual** | Organização de equipe para o 10º Concurso Sebrae de Ideia Inovadoras  Descrição: [Organização de programa de formação tecnológica]: Supervisão e preparação de time de 12 estudantes da Engenharia de Computação para participar do 10º Concurso Sebrae de Ideia Inovadoras, dos quais 6 avançaram à semifinal e 1 chegou à final (concurso em andamento)  Situação: Em andamento; Natureza: Outra.  Alunos envolvidos: Graduação: (12) / Especialização: (0) / Mestrado acadêmico: (0) / Mestrado profissional: (0) / Doutorado: (0).  Integrantes: Cesar Albenes Zeferino / Filipe Berkenbroch Capella / Lucas Felipe Rebello / Guilherme Augusto Pohl / Emerson Borges Ferreira / Isabel Araldi / Victor Sanches Pergher / Chuang Yu Min / Thalyson Zatt Silva / Carlos Alexandre Krueger / Charllie da Veiga de Quadros / Ivo Alberto da Silva / Guilherme Abraham  Número de produções C, T & A: 0 |
| **2017 - 2018** | CarCounter  Descrição: [Organização de empresas inovadoras]: Startup em fase de pré-incubação no Núcleo de Inovação Tecnológica Uniinova da Universidade do Vale do Itajaí. A startup busca oferecer soluções de baixo custo para monitoramento de tráfego em vias urbanas.  Situação: Concluido; Natureza: Outra.  Alunos envolvidos: Graduação: (2) / Especialização: (0) / Mestrado acadêmico: (0) / Mestrado profissional: (0) / Doutorado: (0).  Integrantes: Cesar Albenes Zeferino / Filipe Berkenbroch Capella / Lucas Felipe Rebello  Número de produções C, T & A: 0 |
| **2016 - Atual** | Pensando Startup na Engenharia de Computação da Univali  Descrição: [Organização de programa de formação tecnológica]: Conjunto de ações para estimular o empreendedorismo em Engenharia de Computação. Envolve a introdução de nova forma de conduzir disciplina de Projeto de Sistemas Embarcados em que os alunos buscam problemas reais, com potencial de mercado, e desenvolvem protótipos de sistemas embarcados para solucionar esse problema. Na disciplina seguinte, Tópicos Especiais em Engenharia de Computação, os alunos buscam formatar uma proposta de empresa de base tecnológica e são estimulados a participar do processo de pré-incubação do Núcleo de Inovação Tecnológica Uniinova da Univali. Como resultado, essas ações aproximam os alunos da realidade do mercado e os preparam para oportunidades para suas carreiras.  Situação: Desativado; Natureza: Outra.  Alunos envolvidos: Graduação: (22) / Especialização: (0) / Mestrado acadêmico: (0) / Mestrado profissional: (0) / Doutorado: (0).  Integrantes: Cesar Albenes Zeferino / Rudimar Luís Scaranto Dazzi / Douglas Rossi de Melo / Odilo Schwade Júnior  Número de produções C, T & A: 0 |

Membro de corpo editorial

|  |  |
| --- | --- |
| **2014 - Atual** | International Journal of Computer Architecture Education |

Membro de comitê de assessoramento

|  |  |
| --- | --- |
| **2011 - Atual** | Coordenação de Aperfeiçoamento de Pessoal de Nível Superior |

Revisor de periódico

|  |  |
| --- | --- |
| **2021 - Atual** | Energies |
| **2021 - Atual** | IEEE Open Journal of Circuits and Systems |
| **2020 - Atual** | Array |
| **2020 - Atual** | JOURNAL OF COMPUTER SCIENCE AND TECHNOLOGY |
| **2020 - Atual** | Remote Sensing |
| **2020 - Atual** | MICROPROCESSORS AND MICROSYSTEMS |
| **2020 - Atual** | MATHEMATICS AND COMPUTERS IN SIMULATION |
| **2020 - Atual** | INFORMATION |
| **2019 - Atual** | IET COMPUTERS & DIGITAL TECHNIQUES (ONLINE) |
| **2018 - Atual** | JOURNAL OF SYSTEMS ARCHITECTURE |
| **2017 - Atual** | JOURNAL OF PARALLEL AND DISTRIBUTED COMPUTING |
| **2017 - Atual** | DESIGN AUTOMATION FOR EMBEDDED SYSTEMS |
| **2015 - Atual** | International Journal of Embedded Systems (IJES) |
| **2012 - Atual** | International Journal of Reconfigurable Computing (Print) |
| **2011 - Atual** | VLSI Design |
| **2010 - Atual** | The Computer Journal |
| **2010 - Atual** | Transactions on Computational Science |
| **2007 - Atual** | JICS. Journal of Integrated Circuits and Systems |
| **2006 - Atual** | IEEE Transactions on Computer-Aided Design of Integrated Circuits and Syste |

Revisor de projeto de fomento

|  |  |
| --- | --- |
| **2020 - 2020** | Fundação de Amparo à Pesquisa e Inovação do Estado de Santa Catarina |

Áreas de atuação

|  |  |
| --- | --- |
| **1** | Grande área: Ciencias exatas e da terra / Área: Ciência da Computação / Subárea: Sistemas de Computação / Especialidade: Arquitetura de Sistemas de Computação. |
| **2** | Grande área: Ciencias exatas e da terra / Área: Ciência da Computação / Subárea: Sistemas de Computação / Especialidade: Hardware. |

Idiomas

|  |  |
| --- | --- |
| **Inglês** | Compreende Razoavelmente, Fala Razoavelmente, Lê Bem, Escreve Razoavelmente. |
| **Francês** | Compreende Bem, Fala Razoavelmente, Lê Bem, Escreve Razoavelmente. |
| **Espanhol** | Compreende Razoavelmente, Fala Razoavelmente, Lê Razoavelmente, Escreve Pouco. |

Produções

|  |
| --- |
| **Produção bibliográfica** |

# Artigos completos publicados em periódicos

|  |  |
| --- | --- |
| **1** | SESTREM OCHÔA, IAGO; REIS QUIETINHO LEITHARDT, VALDERI; CALBUSCH, Leonardo; DE PAZ SANTANA, JUAN FRANCISCO; DELCIO PARREIRA, WEMERSON; ORIEL SEMAN, LAIO; ZEFERINO, Cesar Albenes. Performance and Security Evaluation on a Blockchain Architecture for License Plate Recognition Systems. Applied Sciences-Basel, v. 11, p. 1255-1255:21, 2021. |
| **2** | VERRI LUCCA, ARIELLE; MARIANO SBORZ, GUILHERME AUGUSTO; LEITHARDT, Valderi Reis Quietinho; BEKO, MARKO; ALBENES ZEFERINO, CESAR; PARREIRA, WEMERSON DELCIO. A Review of Techniques for Implementing Elliptic Curve Point Multiplication on Hardware. JOURNAL OF SENSOR AND ACTUATOR NETWORKS, v. 10, p. 3-17, 2021. |
| **3** | UHLENDORF, Roseli da Silveira; VIEL, Felipe; SILVA, Eduardo Alves da; ZEFERINO, Cesar Albenes. An MPI-based MPSoC Platform in FPGA. IEEE Latin America Transactions, v. 19, p. 697-705, 2021. |
| **4** | DA SILVA, LUCAS D. L.; PEREIRA, THIAGO F.; LEITHARDT, VALDERI R. Q.; SEMAN, LAIO O.; ZEFERINO, CESAR A.. Hybrid Impedance-Admittance Control for Upper Limb Exoskeleton Using Electromyography. Applied Sciences-Basel, v. 10, p. 7146-, 2020. |
| **5** | CESCONETTO, JONAS; AUGUSTO SILVA, LUÍS; BORTOLUZZI, FABRICIO; NAVARRO-CÁCERES, MARÍA; A. ZEFERINO, CESAR; R. Q. LEITHARDT, VALDERI. PRIPRO-Privacy Profiles: User Profiling Management for Smart Environments. ELECTRONICS, v. 9, p. 1519-1519:22, 2020. |
| **6** | VIEL, Felipe; PARREIRA, WEMERSON DELCIO; SUSIN, Altamiro Amadeu; ZEFERINO, Cesar Albenes. A Hardware Accelerator for Onboard Spatial Resolution Enhancement of Hyperspectral Images. IEEE Geoscience and Remote Sensing Letters, v. 17, p. 1-5, 2020. |
| **7** | VIEL, Felipe; AUGUSTO SILVA, LUIS; LEITHARDT, Valderi Reis Quietinho; DE PAZ SANTANA, JUAN FRANCISCO; CELESTE GHIZONI TEIVE, RAIMUNDO; ALBENES ZEFERINO, CESAR. An Efficient Interface for the Integration of IoT Devices with Smart Grids. SENSORS, v. 20, p. 2849-, 2020. |
| **8** | LEITHARDT, Valderi Reis Quietinho; SANTOS, Douglas Almeida dos; SILVA, Luis Augusto; VIEL, Felipe; ZEFERINO, CESAR; SILVA, Jorge Sá. A Solution for Dynamic Management of User Profiles in IoT Environments. IEEE Latin America Transactions, v. 18, p. 1193-1199, 2020. |
| **9** | ALVES DA SILVA, EDUARDO; KREUTZ, Márcio Eduardo; ZEFERINO, Cesar Albenes. Experimental Data from the Simulation of On-Chip Communication Architectures using RedScarf Simulation Environment. DATA IN BRIEF, v. 1, p. 104725-104738, 2019. |
| **10** | MELO, DOUGLAS R.; ZEFERINO, CESAR A.; DILILLO, LUIGI; BEZERRA, EDUARDO A.. Maximizing the Inner Resilience of a Network-on-Chip through Router Controllers Design. SENSORS, v. 19, p. 5416-, 2019. |
| **11** | DA SILVA, EDUARDO A.; KREUTZ, MÁRCIO E.; ZEFERINO, CESAR A.. RedScarf: an open-source multi-platform simulation environment for performance evaluation of Networks-on-Chip. JOURNAL OF SYSTEMS ARCHITECTURE, v. 99, p. 101633-101648, 2019. |
| **12** | PEREIRA, Thiago Felski; MELO, Douglas Rossi; BEZERRA, Eduardo Augusto; ZEFERINO, Cesar Albenes. Mechanisms to Provide Fault Tolerance to a Network-on-Chip. IEEE Latin America Transactions, v. 15, p. 1034-1042, 2017. |
| **13** | VIEL, Felipe; WEIDLE JR., Guilherme Frederico; ZEFERINO, Cesar Albenes. Sistema integrado para o processamento do Filtro de Difusão Anisotrópica em FPGA. REVISTA DE SISTEMAS E COMPUTAÇÃO - RSC, v. 7, p. 406-424, 2017. |
| **14** | VIEIRA, Paulo Viniccius; RAABE, André Luis Alice; ZEFERINO, Cesar Albenes. Projeto BIP: impactos de 10 anos de uso de uma proposta interdisciplinar de ensino de Computação. INTERNATIONAL JOURNAL OF COMPUTER ARCHITECTURE EDUCATION, v. 5, p. 32-37, 2016. |
| **15** | VIEIRA, Paulo Viniccius; ZEFERINO, Cesar Albenes; RAABE, ANDRÉ LUIS. Avaliação Empírica da Proposta Interdisciplinar de Uso dos Processadores BIP. REVISTA BRASILEIRA DE INFORMÁTICA NA EDUCAÇÃO, v. 23, p. 99-110, 2015. |
| **16** | SILVA, Eduardo Alves da; ZEFERINO, Cesar Albenes. Uma Análise sobre Ferramentas de Redes-em-Chip e seus Recursos para Uso no Ensino. International Journal of Computer Architecture Education, v. 4, p. 29-32, 2015. |
| **17** | MELO, Douglas Rossi; WANGHAM, Michelle Silva; ZEFERINO, Cesar Albenes. XIRU: Interface de Rede Extensível para Integração de Núcleos a uma Rede-em-Chip. REVISTA DE INFORMÁTICA TEÓRICA E APLICADA: RITA, v. 21, p. 10-, 2014. |
| **18** | OLIVEIRA JR., Nereu Pires de; RAABE, André Luis Alice; ZEFERINO, Cesar Albenes. Implementando Suporte a Novas Linguagens de Programação e outros Idiomas no Ambiente de Desenvolvimento Integrado Bipide. International Journal of Computer Architecture Education, v. 3, p. 5-8, 2014. |
| **19** | BARON, Sidnei; WANGHAM, Michelle Silva; ZEFERINO, Cesar Albenes. Segurança em Redes-em-Chip: Conceitos e Revisão do Estado da Arte. REVISTA DE INFORMÁTICA TEÓRICA E APLICADA: RITA, v. 21, p. 110-, 2014. |
| **20** | VIEIRA, Paulo Viniccius; RECH, Paulo Roberto Machado; MENSCH, Roney Carlos; RAABE, André Luis Alice; ZEFERINO, Cesar Albenes. Estendendo a arquitetura dos processadores BIP para ampliar o seu potencial de uso em disciplinas de introdução a programação. International Journal of Computer Architecture Education, v. 1, p. 1-10, 2012. |
| **21** | VIEIRA, Paulo Viniccius; RAABE, André Luis Alice; ZEFERINO, Cesar Albenes. Bipide - Ambiente de Desenvolvimento Integrado para a Arquitetura dos Processadores BIP. REVISTA BRASILEIRA DE INFORMÁTICA NA EDUCAÇÃO, v. 18, p. 32-43, 2010. |
| **22** | MORANDI, Diana; PEREIRA, Maicon Carlos; RAABE, André Luis Alice; ZEFERINO, Cesar Albenes. Um processador básico para o ensino de conceitos de arquitetura e organização de computadores. Hífen (Uruguaiana), v. 30, p. 73-80, 2006. |
| **23** | HEIL, Maiara; ZEFERINO, Cesar Albenes; TORRES, Roberto Miguel; CANCIAN, Rafael Luiz. Escalonamento de requisições em um sistema para gerenciamento do acesso a um observatório remoto. Hífen (Uruguaiana), v. , p. 243-250, 2005. |
| **24** | FIAMONCINI, Julio Cesar; CANCIAN, Rafael Luiz; ZEFERINO, Cesar Albenes. Desenvolvimento de Drivers de Dispositivos para uma Plataforma de Sistema Embarcado Microcontrolado. Hífen (Uruguaiana), v. 28, p. 83-88, 2004. |
| **25** | SANTO, Frederico Guilherme Mariani Do Espirito; ZEFERINO, Cesar Albenes; SUSIN, Altamiro Amadeu. Modelos Parametrizáveis de Árbitros Centralizados para a Síntese de Redes-em-Chip. Hífen (Uruguaiana), v. , p. 91-96, 2003. |
| **26** | SANTO, Frederico Guilherme Mariani do Espírito; ZEFERINO, Cesar Albenes. Projeto e Avaliação de Árbitros para Redes-em-Chip. Hífen (Uruguaiana), v. 26, p. 81-86, 2002. |
| **27** | KREUTZ, Márcio Eduardo; ZEFERINO, Cesar Albenes; CARRO, Luigi; SUSIN, Altamiro Amadeu. Análise e Seleção de Redes de Interconexão para Síntese de Sistemas no Ambiente S3E2S. REVISTA DE INFORMÁTICA TEÓRICA E APLICADA (IMPRESSO), v. 8, p. 83-101, 2001. |

# Livros publicados/organizados ou edições

|  |  |
| --- | --- |
| **1** | ZEFERINO, CESAR; MELO, Ana Cláudia Reiser; VIEIRA, Adriana Dalçoquio; MAFRA, Isadora Siqueira; PEREZ, Lilian Helena Franzen; SBORZ, Guilherme Augusto. Anais do 18o Seminário de Iniciação Científica e da 7a Mostra Científica de Integração Pós-Graduação e Graduação. 18. ed. Itajaí: Universidade do Vale do Itajaí, 2019. v. 1. 242p. |
| **2** | ROSA JUNIOR, Leomar Soares da; AGOSTINI, Luciano Volcan; ZEFERINO, Cesar Albenes; BOEMO, Eduardo; GLESNER, Manfred. Proceedings of the 8th Southern Programmable Logic Conference. 1. ed. Bento Gonçalves: UFPEL, 2012. v. . 258p. |

# Capítulos de livros publicados

|  |  |
| --- | --- |
| **1** | RECALCATTI, Éderson; PEREIRA, Rodrigo Vinícius Mendonça; ZEFERINO, Cesar Albenes. Uso do protocolo LIN na interconexão de sistemas em satélites artificiais. In: Coordenação do Programa UNIESPAÇO (Org.). Rumo à independência tecnológica do Programa Espacial Brasileiro - Volume 2 1a ed. Brasília: AEB, 2013, vol. 2, p. 19-32. |
| **2** | ZEFERINO, Cesar Albenes; RAABE, André Luis Alice; VIEIRA, Paulo Viniccius; PEREIRA, Maicon Carlos. Um Enfoque Interdisciplinar no Ensino de Arquitetura de Computadores. In: MARTINS, Carlos Augusto Paiva da Silva; NAVAUX, Philippe Olivier Alexandre; AZEVEDO, Rodolfo Jardim de; KOFUJI, Sérgio Takeo (Org.). Arquitetura de Computadores: educação, ensino e aprendizado 1 ed. Porto Alegre: Sociedade Brasileira de Computação (SBC), 2012, p. 165-193. |
| **3** | ZEFERINO, Cesar Albenes. Introdução às redes-em-chip. In: GÜNTZEL, José; FRANCO, Denis; REIS, Ricardo. (Org.). V Escola de Microeletrônica Sul (livro texto) Porto Alegre: SBC, 2003, p. 93-104. |

# Textos em jornais de notícias/revistas

|  |  |
| --- | --- |
| **1** | ZEFERINO, Cesar Albenes. Todos a bordo? A invasão dos sistemas embarcados no dia-a-dia do mundo contemporâneo. A Notícia, Joiville, p. 4-, 2007. |

# Trabalhos completos publicados em anais de congressos

|  |  |
| --- | --- |
| **1** | WILLIAM MEZGER, BENJAMIN; BORTOLUZZI, FABRICIO; ALBENES ZEFERINO, CESAR; ROBERTO OLIVEIRA VALIM, PAULO; ROSSI MELO, DOUGLAS. A Basic Microkernel for the RISC-V Instruction Set Architecture. In: Computer on the Beach, 2021, Online. Anais do XII Computer on the Beach - COTB &apos;21. Itajaí: Universidade do Vale do Itajaí, 2021. p. 057-63 |
| **2** | SANTOS, Douglas Almeida dos; LUZA, Lucas Matana; KASTRIOTOU, Maria; CAZZANIGA, Carlo; ZEFERINO, Cesar Albenes; MELO, Douglas Rossi; DILILLO, LUIGI. Characterization of a RISC-V System-on-Chip under Neutron Radiation. In: International Conference on Design & Technology of Integrated Systems in Nanoscale Era (DTIS), 2021, Apulia. Proceedings.... New York: IEEE, 2021. p. 1-6 |
| **3** | MELO, Douglas Rossi; ZEFERINO, CESAR; BEZERRA, Eduardo Augusto; DILILLO, LUIGI. Design and Evaluation of Implementation Impact on a Fault-Tolerant Network-on-Chip Router. In: International Conference on Design & Technology of Integrated Systems in Nanoscale Era (DTIS), 2021, Apulia. Proceedings.... New York: IEEE, 2021. p. 1-6 |
| **4** | SBORZ, Guilherme Augusto; VIEL, Felipe; ZEFERINO, Cesar Albenes. Architectural Exploration of an FPGA-based Hardware Accelerator for the Gaussian Filter using Approximate Computing. In: Brazilian Symposium on Computing Systems Engineering (SBESC), 2020, On-line. Proceedings.... : , 2020. p. 1-6 |
| **5** | SANTOS, Douglas Almeida dos; ZOLETT, Daniel; BELLI, Mateus; VIEL, Felipe; ZEFERINO, Cesar Albenes. An Analysis of the Implementation of Edge Detection Operators in FPGA. In: Brazilian Symposium on Computing Systems Engineering (SBESC), 2020, On-line. Proceedings.... : , 2020. p. 1-5 |
| **6** | IMIANOSKY, Carolina; VALIM, PAULO R. O.; ZEFERINO, CESAR A.; VIEL, Felipe. Evaluating the CCSDS 123 Compressor Running on RISC-V and ARM Architectures. In: 2020 X Brazilian Symposium on Computing Systems Engineering (SBESC), 2020, Florianopolis. 2020 X Brazilian Symposium on Computing Systems Engineering (SBESC). : IEEE, 2020. p. 1-7 |
| **7** | SANTOS, DOUGLAS ALMEIDA; LUZA, Lucas Matana; ZEFERINO, Cesar Albenes; DILILLO, LUIGI; MELO, Douglas Rossi. A Low-Cost Fault-Tolerant RISC-V Processor for Space Systems. In: 2020 15th Design &amp; Technology of Integrated Systems in Nanoscale Era (DTIS), 2020, Marrakech. 2020 15th Design &amp; Technology of Integrated Systems in Nanoscale Era (DTIS). : , 2020. p. 1-5 |
| **8** | SANTOS, DOUGLAS; ZEFERINO, CESAR; BEZERRA, EDUARDO; DILILLO, LUIGI; MELO, DOUGLAS. On-board Compressing of Hyperspectral Images using CCSDS 123. In: Computer on the Beach, 2020, Balneário Camboriú. Anais do XI Computer on the Beach - COTB &apos;20. Itajaí: Univali, 2020. p. 332-336 |
| **9** | PASSOS, Arthur; VIEL, Felipe; ZEFERINO, CESAR A.. A Hardware Accelerator for the Segmentation of Hyperspectral Images. In: 2020 33rd Symposium on Integrated Circuits and Systems Design (SBCCI), 2020, Campinas. 2020 33rd Symposium on Integrated Circuits and Systems Design (SBCCI). New York: IEEE, 2020. p. 1-4 |
| **10** | MARTINS, LUCAS A.; SBORZ, GUILHERME A. M.; VIEL, Felipe; ZEFERINO, CESAR A.. An SVM-based hardware accelerator for onboard classification of hyperspectral images. In: the 32nd Symposium, 2019, S&amp;#227;o Paulo. Proceedings of the 32nd Symposium on Integrated Circuits and Systems Design - SBCCI &apos;19. New York: ACM Press, 2019. p. 1-6 |
| **11** | SBORZ, GUILHERME A. M.; POHL, GUILHERME A.; VIEL, Felipe; ZEFERINO, CESAR A.. A custom processor for an FPGA-based platform for automatic license plate recognition. In: the 32nd Symposium, 2019, S&amp;#227;o Paulo. Proceedings of the 32nd Symposium on Integrated Circuits and Systems Design - SBCCI &apos;19. New York: ACM Press, 2019. p. 1-6 |
| **12** | PEREIRA, LUCAS M. V.; SANTOS, DOUGLAS A.; ZEFERINO, CESAR A.; MELO, DOUGLAS R.. A Low-Cost Hardware Accelerator for CCSDS 123 Predictor in FPGA. In: 2019 IEEE International Symposium on Circuits and Systems (ISCAS), 2019, Sapporo. 2019 IEEE International Symposium on Circuits and Systems (ISCAS). New York: IEEE, 2019. p. 1-5 |
| **13** | DE MELO, DOUGLAS ROSSI; ALBENES ZEFERINO, CESAR; DILILLO, LUIGI; BEZERRA, Eduardo Augusto. Analyzing the Error Propagation in a Parameterizable Network-on-Chip Router. In: 2019 IEEE Latin American Test Symposium (LATS), 2019, Santiago. 2019 IEEE Latin American Test Symposium (LATS). New York: IEEE, 2019. p. 1-6 |
| **14** | OCHOA, IAGO SESTREM; PIEMONTEZ, Rafael Alexandre; MARTINS, Lucas Amilton; LEITHARDT, Valderi Reis Quietinho; ZEFERINO, CESAR. Experimental Analysis of the Processing Cost of Ethereum Blockchain in a Private Network. In: II Workshop Blockchain: Teoria, Tecnologias e Aplicações (WBlockchain 2019), 2019, Gramado. Anais.... Porto Alegre: SBC, 2019. p. 16-28 |
| **15** | DUARTE, Luiz Fernando Heidrich; ZEFERINO, Cesar Albenes; TEIVE, Raimundo Celeste Ghizoni. An Architecture for Delivering Graphical Web Applications in Constrained IoT Devices. In: 2019 IX Brazilian Symposium on Computing Systems Engineering (SBESC), 2019, Natal. 2019 IX Brazilian Symposium on Computing Systems Engineering (SBESC). : IEEE, 2019. p. 1-8 |
| **16** | OCHOA, IAGO; CALBUSCH, Leonardo; VIECELLI, Karize; DE PAZ, JUAN; LEITHARDT, VALDERI; ZEFERINO, CESAR. Privacy in the Internet of Things: A Study to Protect User's Data in LPR Systems Using Blockchain. In: 2019 17th International Conference on Privacy, Security and Trust (PST), 2019, Fredericton. 2019 17th International Conference on Privacy, Security and Trust (PST). New York: IEEE, 2019. p. 1-5 |
| **17** | MELO, Douglas Rossi; ZEFERINO, Cesar Albenes; RAMOS, António Luis Lopes; DILILLO, LUIGI; BEZERRA, Eduardo Augusto. Implementation of Fault Tolerance Techniques for Integrated Network Interfaces. In: Latin American CubeSat Workshop (LACW), 2018, Ubatuba. Proceedings of the Latin American CubeSat Workshop (LACW). : , 2018. p. 387-394 |
| **18** | OCHOA, IAGO SESTREM; LEITHARDT, VALDERI R. Q.; ZEFERINO, Cesar Albenes; SILVA, JORGE SA. Data Transmission Performance Analysis with Smart Grid Protocol and Cryptography Algorithms. In: 2018 13th IEEE International Conference on Industry Applications (INDUSCON), 2018, São Paulo. 2018 13th IEEE International Conference on Industry Applications (INDUSCON). New York: IEEE, 2018. p. 482-486 |
| **19** | VIEL, Felipe; SILVA, LUIS A.; VALDERI LEITHARDT, R. Q.; ZEFERINO, CESAR A.. Internet of Things: Concepts, Architectures and Technologies. In: 2018 13th IEEE International Conference on Industry Applications (INDUSCON), 2018, São Paulo. 2018 13th IEEE International Conference on Industry Applications (INDUSCON). New York: IEEE, 2018. p. 909-916 |
| **20** | VARGAS JUNIOR, S.; SILVA, Eduardo Alves da; ZEFERINO, CESAR. Análise do tráfego interno em uma Rede-em-Chip por meio de simulação. In: 9o Computer on the Beach (COTB), 2018, Florianópolis. Anais.... Itajaí: Univali, 2018. p. 1-10 |
| **21** | SANTOS, Marciel de Liz; ZEFERINO, CESAR; WANGHAM, Michelle Silva. Mecanismo de verificação de integridade de software baseado em BIOS UEFI. In: 36o Simpósio Brasileiro de Redes de Computadores e Sistemas Distribuídos (SBRC), 2018, Campos do Jordão. Anais. Porto Alegre: SBC, 2018. p. 1-14 |
| **22** | WEIDLE, GUILHERME F.; VIEL, Felipe; DE MELO, DOUGLAS R.; ZEFERINO, CESAR A.. A Hardware Accelerator for Anisotropic Diffusion Filtering in FPGA. In: 2018 IEEE International Symposium on Circuits and Systems (ISCAS), 2018, Florence. 2018 IEEE International Symposium on Circuits and Systems (ISCAS). New York: IEEE, 2018. p. 1-4 |
| **23** | PEREIRA, Lucas Martins Veras; MELO, Douglas Rossi; ZEFERINO, Cesar Albenes; BEZERRA, Eduardo Augusto. Análise de alternativas de integração do processador LEON3 em sistemas embarcados. In: COMPUTER ON THE BEACH (COTB), 8., 2017, Florianópolis. Anais.... Itajaí: Univali, 2017. p. 1-10 |
| **24** | GAYA, Fernando Luis; ZEFERINO, Cesar Albenes; MELO, Douglas Rossi; BEZERRA, Eduardo Augusto. AMBA-AHB network interface for core interconnection in a Network-on-Chip. In: IBERCHIP WORKSHOP (IWS), 2017, Bariloche. Proceedings.... : , 2017. p. 82-85 |
| **25** | VIEL, Felipe; ZEFERINO, Cesar Albenes. A module for remote reconfiguration of FPGAs in satellites. In: IBERCHIP WORKSHOP (IWS), 2017, Barilhoce. Proceedings.... : , 2017. p. 50-53 |
| **26** | VARGAS JUNIOR, S.; SILVA, Eduardo Alves da; ZEFERINO, Cesar Albenes. Produção de material instrucional para o ambiente de Simulação RedScarf. In: COMPUTER ON THE BEACH (COTB), 8., 2017, Florianópolis. Anais.... Itajaí: Univali, 2017. p. 1-10 |
| **27** | SOPRAN, Robson; MELO, Douglas Rossi; ZEFERINO, Cesar Albenes; BEZERRA, Eduardo Augusto. Análise comparativa do custo e do desempenho de um algoritmo de criptografia para sistemas embarcados explorando o particionamento hardware/software. In: COMPUTER ON THE BEACH (COTB), 8., 2017, Florianópolis. Anais.... Itajaí: Univali, 2017. p. 1-10 |
| **28** | SILVA, Eduardo Alves da; ZEFERINO, Cesar Albenes. Análise arquitetural comparativa do desempenho de Redes-em-Chip baseada em simulação. In: SIMPÓSIO DE SISTEMAS COMPUTACIONAIS DE ALTO DESEMPENHO (WSCAD), 2017, Campinas. Anais.... Porto Alegre: SBC, 2017. p. 268-279 |
| **29** | PERES, BRUNO; ZEFERINO, CESAR; VIEIRA, PAULO. Simulador Web para a Família de Processadores BIP. In: XXVIII Simpósio Brasileiro de Informática na Educação SBIE (Brazilian Symposium on Computers in Education), 2017, Recife. . : , 2017. p. 827-836 |
| **30** | SILVA, Eduardo Alves da; MENEGASSO, Daniel; VARGAS, SERGIO; ZEFERINO, Cesar Albenes. RedScarf: A User-Friendly Multi-Platform Network-on-Chip Simulator. In: 2017 VII Brazilian Symposium on Computing Systems Engineering (SBESC), 2017, Curitiba. 2017 VII Brazilian Symposium on Computing Systems Engineering (SBESC). Porto Alegre: SBC, 2017. p. 71-78 |
| **31** | SILVA, MARCOS ROBERTO; ZEFERINO, Cesar Albenes. Confidentiality and Authenticity in a Platform Based on Network-on-Chip. In: 2017 VII Brazilian Symposium on Computing Systems Engineering (SBESC), 2017, Curitiba. 2017 VII Brazilian Symposium on Computing Systems Engineering (SBESC). New York: IEEE, 2017. p. 225-230 |
| **32** | BRUCH, Jaison Valmor; SILVA, Eduardo Alves da; ZEFERINO, Cesar Albenes; INDRUSIAK, Leandro Soares. Deadline, Energy and Buffer-Aware Task Mapping Optimization in NoC-Based SoCs Using Genetic Algorithms. In: 2017 VII Brazilian Symposium on Computing Systems Engineering (SBESC), 2017, Curitiba. 2017 VII Brazilian Symposium on Computing Systems Engineering (SBESC). Porto Alegre: SBC, 2017. p. 86-93 |
| **33** | VIEIRA, Paulo Viniccius; ZEFERINO, Cesar Albenes; RAABE, André Luis Alice. Aplicação de grupo focal para avaliação da utilização de uma família de processadores simplificados em uma disciplina de compiladores. In: COMPUTER ON THE BEACH (COTB), 7., 2016, Florianópolis. Anais.... São José: Univali, 2016. p. 232-241 |
| **34** | BARON, Sidnei; WANGHAM, Michelle Silva; ZEFERINO, Cesar Albenes. Segurança em Redes-em-Chip: mecanismos para proteger a rede SoCIN contra ataques de negação de serviço. In: SIMPÓSIO BRASILEIRO DE SEGURANÇA DA INFORMAÇÃO E SISTEMAS COMPUTACIONAIS (SBSeg), 14., 2014, Belo Horizonte. Anais.... Porto Alegre: SBC, 2014. p. 647-654 |
| **35** | VIEL, Felipe; RAABE, André Luis Alice; ZEFERINO, Cesar Albenes. Introdução à programação e à implementação de processadores por estudantes do Ensino Médio. In: WORKSHOP DE INFORMÁTICA NA ESCOLA (WIE), 20., 2014, Dourados. Anais do 3o Congresso Brasileiro de Informática na Educação. Porto Alegre: SBC, 2014. p. 1-10 |
| **36** | SILVA, Eduardo Alves da; METZGER, Luiz Gustavo; ZEFERINO, Cesar Albenes. On the development of a Qt-based multithread NoC simulator. In: WORKSHOP ON CIRCUITS AND SYSTEMS DESIGN (WCAS), 4., 2014, Aracajú. Proceedings.... Aracajú: UFS, 2014. p. 1-4 |
| **37** | GONCALVES, Hendrig Wernner Maus Santana; BORTOLUZZI, Fabrício; ZEFERINO, Cesar Albenes. Desenvolvimento de um sistema operacional de tempo real para um microcontrolador básico. In: SIMPÓSIO BRASILEIRO DE ENGENHARIA DE SISTEMAS COMPUTACIONAIS (SBESC 2013), 3., 2013, Niterói. Proceedings.... Niterói: UFF, 2013. p. 1-6 |
| **38** | MELO, Douglas Rossi; WANGHAM, Michelle Silva; ZEFERINO, Cesar Albenes. Extensible communication Interface to SoCIN Network-on-Chip. In: SOUTH SYMPOSIUM ON MICROELECTRONICS (SIM 2013), 28., 2013, Porto Alegre. Proceedings.... Porto Alegre: UFRGS, 2013. p. 1-4 |
| **39** | MELO, Douglas Rossi; WANGHAM, Michelle Silva; ZEFERINO, Cesar Albenes. Evaluating the costs of communication services in a network interface for a Network-on-Chip. In: WORKSHOP ON CIRCUITS AND SYSTEMS DESIGN (WCAS 2013), 3., 2013, Curitiba. Proceedings.... Porto Alegre: SBC, 2013. p. 1-4 |
| **40** | BOMER, Rubens Vicente de Liz; ZEFERINO, Cesar Albenes. Cost and performance characterization of communication mechanisms for Networks-on-Chip. In: MICROELECTRONICS STUDENTS FORUM (SFORUM), 13., 2013, Curitiba. Proceedings.... São Paulo: SBMicro, 2013. p. 1-6 |
| **41** | PEREIRA, Thiago Felski; ZEFERINO, Cesar Albenes. Adding fault-tolerance to a Network-on-Chip. In: SOUTH SYMPOSIUM ON MICROELECTRONICS (SIM 2013), 28., 2013, Porto Alegre. Proceedings. Porto Alegre: UFRGS, 2013. p. 1-4 |
| **42** | BARON, Sidnei; WANGHAM, Michelle Silva; ZEFERINO, Cesar Albenes. Security mechanisms to improve the availability of a Network-on-Chip. In: IEEE INTERNATIONAL CONFERENCE ON ELECTRONICS, CIRCUITS, AND SYSTEMS (ICECS 2013), 20., 2013, Abu Dhabi. Proceedings... New York: IEEE, 2013. p. 609-612 |
| **43** | VIEIRA, Paulo Viniccius; ZEFERINO, Cesar Albenes; RAABE, André Luis Alice. Avaliação Empírica da Proposta Interdisciplinar de Uso dos Processadores BIP. In: Congresso Brasileiro de Informática na Educação, 2., 2013, Campinas. Anais dos Workshops do Congresso Brasileiro de Informática na Educação. Porto Alegre: SBC, 2013. p. 71-80 |
| **44** | BRUCH, Jaison Valmor; ZEFERINO, Cesar Albenes. Evaluation of architectural alternatives to reduce power consumption in a Network-on-Chip. In: WORKSHOP ON CIRCUITS AND SYSTEMS DESIGN (WCAS 2012), 2., 2012, Brasília. Proceedings.... Brasília: UnB, 2012. p. 1-6 |
| **45** | RECH, Paulo Roberto Machado; VIEIRA, Paulo Viniccius; ZEFERINO, Cesar Albenes; RAABE, André Luis Alice. BIP IV: especificação e suporte na ferramenta Bipide. In: Workshop sobre Educação em Arquitetura de Computadores (WEAC 2011), 2011, Vitória. Proceedings of the 23rd International Symposium on Computer Architecture and High Performance Computing. : , 2011. p. - |
| **46** | PEREIRA, Rodrigo Vinícius Mendonça; GUTSTEIN, William Simon; FREITAS, Gabriel Goedert; RECALCATTI, Éderson; ZEFERINO, Cesar Albenes. Development of an IP core for the LIN automotive network. In: WORKSHOP ON CIRCUITS AND SYSTEMS DESIGN (WCAS 2011), 1., 2011, João Pessoa. Proceedings.... João Pessoa: UFPB, 2011. p. 1-6 |
| **47** | VEIGA, Fabrício; ZEFERINO, Cesar Albenes. Implementation of techniques for fault tolerance in a Network-on-Chip. In: SYMPOSIUM ON COMPUTING SYSTEMS (WSCAD-SCC 2010), 11., 2010, Petrópolis. Anais. Los Alamitos: IEEE Computer Society, 2010. p. 80-87 |
| **48** | MELO, Douglas Rossi; ZEFERINO, Cesar Albenes; BEREJUCK, Marcelo Daniel. Desenvolvimento de aplicação com requisitos de QoS para SoC baseado em NoC. In: IBERCHIP WORKSHOP (IWS 2010), 16., 2010, Foz do Iguaçu. Proceedings.... [S.l.: s.n.], 2010. p. 60-65 |
| **49** | PIRES, Pablo Pereira; ZEFERINO, Cesar Albenes. Verificação funcional aplicada a Redes-em-Chip. In: IBERCHIP WORKSHOP (IWS 2010), 16., 2010, Foz do Iguaçu. Proceedings.... [S.l.: s.n.], 2010. p. 66-69 |
| **50** | PIZZONI, Magnos Roberto; PEREIRA, Thiago Felski; MELO, Douglas Rossi; ZEFERINO, Cesar Albenes. Development of hardware and software components for a platform for NoC evaluation in FPGA. In: STUDENTS FORUM ON MICROELECTRONICS (SFORUM 2010), 10., 2010, São Paulo. Proceedings.... : , 2010. p. - |
| **51** | PEREIRA, Rodrigo Vinícius Mendonça; GUTSTEIN, William Simon; FREITAS, Gabriel Goedert; RECALCATTI, Éderson; GUERRA, Jorge Luiz; ZEFERINO, Cesar Albenes. Applying functional verification techinques on the design of an IP-core for an automotive communication protocol. In: STUDENTS FORUM ON MICROELECTRONICS (SFORUM 2010), 10., 2010, São Paulo. Proceedings.... : , 2010. p. - |
| **52** | PIZZONI, Magnos Roberto; ZEFERINO, Cesar Albenes. Performance evaluation of a Network-on-Chip by using a SystemC-based simulator. In: SOUTH SYMPOSIUM ON MICROELECTRONICS, 24., 2009, Pelotas. Proceedings.... Pelotas: UFPel, 2009. p. 169-172 |
| **53** | VIEIRA, Paulo Viniccius; RAABE, André Luis Alice; ZEFERINO, Cesar Albenes. Bipide: ambiente de desenvolvimento integrado para utilização dos processadores BIP no ensino de programação. In: SIMPÓSIO BRASILEIRO DE INFORMÁTICA NA EDUCAÇÃO - SBIE 2009, 20., 2009, Florianópolis. Anais.... Porto Alegre: SBC, 2009. p. 1-8 |
| **54** | BRUCH, Jaison Valmor; PIZZONI, Magnos Roberto; ZEFERINO, Cesar Albenes. BrownPepper: a SystemC-based simulator for performance evaluation of Networks-on-Chip. In: IFIP/IEEE INT. CONFERENCE ON VERY LARGE SCALE INTEGRATION (VLSI-SOC 2009), 17., 2009, Florianópolis. Proceedings.... : IFIP/IEEE, 2009. p. 1-4 |
| **55** | BEREJUCK, Marcelo Daniel; ZEFERINO, Cesar Albenes. Adding mechanisms for QoS to a Network-on-Chip. In: SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS (SBCCI 2009), 22., 2009, Natal. Proceedings.... New York: ACM, 2009. p. 153-158 |
| **56** | FRANTZ, Lúcio; ZEFERINO, Cesar Albenes. Gerador de tráfego para Redes-em-Chip baseado no PicoBlaze. In: CONFERÊNCIA IBÉRICA DE SISTEMAS E TECNOLOGIAS DE INFORMAÇÃO, 2009, Póvoa de Varzim. Anais.... Porto: FEUP, 2009. p. - |
| **57** | BEREJUCK, Marcelo Daniel; ZEFERINO, Cesar Albenes. Analysis of the cost of implementation techniques for QoS on a Network-on-Chip. In: SOUTH SYMPOSIUM ON MICROELECTRONICS (SIM 2009), 24., 2009, Pelotas. Proceedings.... Pelotas: UFPel, 2009. p. 165-168 |
| **58** | PEREIRA, Rodrigo Vinícius Mendonça; ZEFERINO, Cesar Albenes. Desenvolvimento de um IP sintetizável para uma interface escravo de rede LIN. In: WORKSHOP IBERCHIP (IWS 2009), 15., 2009, Buenos Aires. Memorias.... : , 2009. p. 510-515 |
| **59** | SALVADOR, Caroline Farias; RAABE, André Luis Alice; ZEFERINO, Cesar Albenes. PicoBlaze C: a compiler for PicoBlaze microcontroller core. In: SOUTH SIMPOSIUM ON MICROELECTRONICS, 24., 2009, Pelotas. Proceedings.... Pelotas: UFPel, 2009. p. 45-48 |
| **60** | PEREIRA, Rodrigo Vinícius Mendonça; ZEFERINO, Cesar Albenes. Aplicação do protocolo LIN como sub-rede CAN. In: CONFERÊNCIA INTERNACIONAL DE APLICAÇÕES INDUSTRIAIS (INDUSCON), 2008, Poços de Caldas. Anais.... : , 2008. p. - |
| **61** | PEREIRA, Thiago Felski; ZEFERINO, Cesar Albenes. A set of VHDL IPs to evaluate performance of Networks-on-Chip. In: IP BASED ELECTRONIC SYSTEM CONFERENCE & EXHIBITION - IP 08, 2008, Grenoble. Proceedings.... Grenoble: Design and Reuse, 2008. p. 239-243 |
| **62** | PEREIRA, Maicon Carlos; ZEFERINO, Cesar Albenes. uBIP: a simplified microcontroller architecture for education in embedded systems design. In: IP BASED ELECTRONIC SYSTEM CONFERENCE & EXHIBITION - IP 08, 2008, Grenoble. Proceedings.... Grenoble: Design and Reuse, 2008. p. 193-197 |
| **63** | PEREIRA, Maicon Carlos; ZEFERINO, Cesar Albenes. Architectural specification of a microcontroller by using ArchC. In: SOUTH SYMPOSIUM ON MICROELECTRONICS, 2008, Bento Gonçalves. Proceedings?. Porto Alegre: SBC, 2008. p. 99-103 |
| **64** | BRUCH, Jaison Valmor; CANCIAN, Rafael Luiz; ZEFERINO, Cesar Albenes. A SystemC-based environment for performance evaluation of Networks-on-Chip. In: SOUTH SYMPOSIUM ON MICROELECTRONICS, 2008, Bento Gonçalves. Proceedings?. SBC: Porto Alegre, 2008. p. 41-44 |
| **65** | PEREIRA, Thiago Felski; ZEFERINO, Cesar Albenes. Soft cores for performance evaluation of NoCs in FPGA. In: SOUTH SYMPOSIUM ON MICROELECTRONICS, 2008, Bento Gonçalves. Proceedings?. Porto Alegre: SBC, 2008. p. 37-40 |
| **66** | ZEFERINO, Cesar Albenes; BRUCH, Jaison Valmor; PEREIRA, Thiago Felski; KREUTZ, Márcio Eduardo; SUSIN, Altamiro Amadeu. Avaliação de desempenho de Rede-em-Chip modelada em SystemC. In: WORKSHOP DE DESEMPENHO DE SISTEMAS COMPUTACIONAIS E DE COMUNICAÇÃO (WPERFORMANCE 2007), 2007, Rio de Janeiro. Anais do Congresso da Sociedade Brasileira de Computação. Porto Alegre: Sociedade Brasileira de Computação, 2007. p. 559-578 |
| **67** | MORANDI, Diana; RAABE, André Luis Alice; ZEFERINO, Cesar Albenes. Processadores para Ensino de Conceitos Básicos de Arquitetura de Computadores. In: Workshop de Educação em Arquitetura de Computadores - WEAC, 2006, Ouro Preto. 18th International Symposium on Computer Architecture and High Performance Computing - Workshops. Porto Alegre: SBC, 2006. p. 17-24 |
| **68** | SILVA, Marcos Roberto da; PEREIRA, Maicon Carlos; SALVADOR, Caroline Farias; CANCIAN, Rafael Luiz; TORRES, Roberto Miguel; ZEFERINO, Cesar Albenes. AstroFácil: Sistema Computacional Embarcado para Automatização de Telescópios de Pequeno Porte. In: XV Seminário de Computação, 2006, Blumenau. Anais do XV Seminário de Computação. Blumenau: FURB, 2006. p. 165-176 |
| **69** | CANCIAN, Maiara Heil; ZEFERINO, Cesar Albenes; CANCIAN, Rafael Luiz; TORRES, Roberto Miguel. Sistema Web para Gerenciamento do Acesso a um Observatório Astronômico. In: XV Seminário de Computação, 2006, Blumenau. Anais do XV Seminário de Computação. Blumenau: FURB, 2006. p. 209-219 |
| **70** | ZEFERINO, Cesar Albenes; HEIL, Maiara; CANCIAN, Rafael Luiz; TORRES, Roberto Miguel. A Web-based system for management of the access to an astronomical observatory through Internet. In: 4th International Information and Telecomunication Technologies Symposium (I2TS 2005), 2005, Florianópolis. P. : , 2005. p. 130-133 |
| **71** | ZEFERINO, Cesar Albenes; SANTO, Frederico Guilherme Mariani Do Espirito; SUSIN, Altamiro Amadeu. A Fully Parameterizable Network-on-Chip Platform. In: 19th SOUTH SYMPOSIUM ON MICROELECTRONICS, 2004, Ijuí. Proceedings. Ijuí: UNIJUÍ, Departamento de Tecnologia, 2004. p. 91-97 |
| **72** | ZEFERINO, Cesar Albenes; KREUTZ, Márcio Eduardo; SUSIN, Altamiro Amadeu. RASoC: A Router Soft-Core for Networks-on-Chip. In: (INT) DESIGN AUTOMATION & TEST IN EUROPE (DATE) - DESIGNER´S FORUM, 2004, Paris. Proceedings. Piscataway: IEEE Computer Society, 2004. p. 198-205 |
| **73** | CARDOZO, Rodrigo S; PANATO, Alex; ZEFERINO, Cesar Albenes; SANTO, Frederico Guilherme Mariani Do Espirito; SUSIN, Altamiro Amadeu; CARRO, Luigi. TONGA: A Low Cost Router for NOCs. In: X Int. Workshop IBERCHIP, 2004, Cartagena. Memorias (CD-ROM). S.l.: s.n., 2004. p. 1-8 |
| **74** | CORRÊA, Edgard Faria; ZEFERINO, Cesar Albenes; CARDOZO, Rodrigo S; SUSIN, Altamiro Amadeu; WAGNER, Flávio Rech; CARRO, Luigi. A Heterogeneous Router for Networks-on-Chip. In: X Int. Workshop IBERCHIP, 2004, Cartagena. Memorias (CD-ROM). S.l.: s.n., 2004. p. 1-6 |
| **75** | ZEFERINO, Cesar Albenes; SANTO, Frederico Guilherme Mariani do Espírito; SUSIN, Altamiro Amadeu. ParIS: A Parameterizable Interconnect Switch for Networks-on-Chip. In: 17th (INT.) SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN (SBCCI), 2004, Porto de Galinhas. Proceedings. New York: ACM Press, 2004. p. 204-209 |
| **76** | SANTO, Frederico Guilherme Mariani do Espírito; ZEFERINO, Cesar Albenes; SUSIN, Altamiro Amadeu. Uma Arquitetura de Roteador Parametrizável para a Síntese de Redes-em-Chip. In: IV Congresso Brasileiro de Computação, 2004, Itajaí. Anais. Itajaí: UNIVALI, 2004. p. 469-474 |
| **77** | ZEFERINO, Cesar Albenes; PEREIRA, Fabiano Melo; HOSTINS, Higor. Developing of a VHDL Model of the PIC Microcontroller for Synthesis in FPGA. In: VI Induson - Conferência Internacional de Aplicações Industriais, 2004, Joinville. Anais (CD-ROM). Joinville: UDESC, 2004. p. 1-5 |
| **78** | ADRIAHANTENAINA, Adrijean; CHARLERY, Hervé; GREINER, Alain; MORTIEZ, Laurent; ZEFERINO, Cesar Albenes. SPIN: A Scalable, Packet Switched, On-Chip Micro-Network. In: (INT) DESIGN AUTOMATION & TEST IN EUROPE (DATE) - DESIGNER´S FORUM, 2003, Messe Munich. Proceedings. Piscataway: IEEE Computer Society, 2003. p. 70-74 |
| **79** | SANTO, Frederico Guilherme Mariani do Espírito; ZEFERINO, Cesar Albenes. Parametric Vhdl Models of Arbiters for Networks-On-Chip. In: III Student Forum on Microelectronics, 2003, São Paulo. Proceedings. São Paulo: FATEC, 2003. p. - |
| **80** | COTA, Erika; KREUTZ, Márcio Eduardo; ZEFERINO, Cesar Albenes; CARRO, Luigi; SUSIN, Altamiro Amadeu; LUBASZEWSKI, Marcelo. The Impact of NoC Reuse on the Testing of Core-Based Systems. In: 21st (INT.) IEEE VLSI Test Symposium, 2003, Napa. Proceedings. Los Alamitos: IEEE Press, 2003. p. 128-133 |
| **81** | PANATO, Alex; CARDOZO, Rodrigo S; ZEFERINO, Cesar Albenes; SANTO, Frederico Guilherme Mariani Do Espirito; SUSIN, Altamiro Amadeu; CARRO, Luigi. Tonga: A Low Cost Router for NoCs. In: 18th SOUTH SYMPOSIUM ON MICROELECTRONICS, 2003, Novo Hamburgo. Proceedings. Novo Hamburgo: FEEVALE, 2003. p. 139-146 |
| **82** | ZEFERINO, Cesar Albenes; SUSIN, Altamiro Amadeu. A System-on-Chip Interconnection Network. In: 18th SOUTH SYMPOSIUM ON MICROELECTRONICS, 2003, Novo Hamburgo. Proceedings. Novo Hamburgo: FEEVALE, 2003. p. 145-148 |
| **83** | ZEFERINO, Cesar Albenes; SUSIN, Altamiro Amadeu. A Router Architecture for Systems-on-Chip. In: 18th SOUTH SYMPOSIUM ON MICROELECTRONICS, 2003, Novo Hamburgo. Proceedings. Novo Hamburgo: FEEVALE, 2003. p. 149-152 |
| **84** | ZEFERINO, Cesar Albenes; CORRÊA, Edgard Faria; WAGNER, Flávio Rech; CARRO, Luigi; SUSIN, Altamiro Amadeu. A Heterogeneous Router for Networks-on-Chip. In: 18th SOUTH SYMPOSIUM ON MICROELECTRONICS, 2003, Novo Hamburgo. Proceedings. Novo Hamburgo: FEEVALE, 2003. p. 153-156 |
| **85** | SANTO, Frederico Guilherme Mariani Do Espirito; ZEFERINO, Cesar Albenes; SUSIN, Altamiro Amadeu. Distributed Arbiters for Networks-on-Chip. In: 18th SOUTH SYMPOSIUM ON MICROELECTRONICS, 2003, Novo Hamburgo. Proceedings. Novo Hamburgo: FEEVALE, 2003. p. 169-172 |
| **86** | ZEFERINO, Cesar Albenes; SUSIN, Altamiro Amadeu. SoCIN: A Parametric and Scalable Network-on-Chip. In: 16th (INT.) SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN (SBCCI), 2003, São Paulo. Proceedings. Los Alamitos: IEEE CS Press, 2003. p. 169-174 |
| **87** | SANTO, Frederico Guilherme Mariani Do Espirito; ZEFERINO, Cesar Albenes; SUSIN, Altamiro Amadeu. Modelos Parametrizáveis de Árbitros Distribuídos para a síntese de roteadores de Redes-em-Chip. In: III Congresso Brasileiro de Computação, 2003, Itajaí. Anais. Itajaí: UNIVALI-CTTMar, 2003. p. 717-728 |
| **88** | ZEFERINO, Cesar Albenes; GREINER, Alain; SUSIN, Altamiro Amadeu. Evaluating On-Chip Communication Architectures. In: 17th SOUTH SYMPOSIUM ON MICROELECTRONICS, 2002, Gramado. Proceedings. Porto Alegre: Instituto de Informática da UFRGS, 2002. p. 136-139 |
| **89** | ZEFERINO, Cesar Albenes; KREUTZ, Márcio Eduardo; CARRO, Luigi; SUSIN, Altamiro Amadeu. Modelling Communication on Systems-On-Chip. In: 17th SOUTH SYMPOSIUM ON MICROELECTRONICS, 2002, Gramado. Proceedings. Porto Alegre: Instituto de Informática da UFRGS, 2002. p. 149-152 |
| **90** | ZEFERINO, Cesar Albenes; KREUTZ, Márcio Eduardo; CARRO, Luigi; SUSIN, Altamiro Amadeu. A Study on Communication Issues for Systems-on-Chip. In: 15th (INT.) SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN (SBCCI), 2002, Porto Alegre. Proceedings. Los Alamitos: IEEE Computer Society, 2002. p. 121-126 |
| **91** | ZEFERINO, Cesar Albenes; KREUTZ, Márcio Eduardo; CARRO, Luigi; SUSIN, Altamiro Amadeu. Models for Communication Tradeoffs on Systems-on-Chip. In: INTERNATIONAL WORKSHOP ON IP-BASED SYSTEM-ON-CHIP DESIGN, 2002, Grenoble. PROCEENDINGS OF THE INTERNATIONAL WORKSHOP ON IP-BASED SYSTEM-ON-CHIP DESIGN. S.l.: s.n., 2002. p. 394-400 |
| **92** | KREUTZ, Márcio Eduardo; ZEFERINO, Cesar Albenes; SUSIN, Altamiro Amadeu. Trends in Designing Complex Systems. In: MICROELECTRONICS SEMINAR, 2001, Santa Maria. Proceedings. Porto Alegre: Instituto de Informática da UFRGS, 2001. p. 89-94 |
| **93** | KREUTZ, Márcio Eduardo; CARRO, Luigi; ZEFERINO, Cesar Albenes; SUSIN, Altamiro Amadeu. Análise e Seleção de Redes de Interconexão para Síntese de Sistemas no Ambiente S³E²S. In: (INT.) WORKSHOP IIBERCHIP, 2001, Montevideo. Memorias. Universidad de la República: Montevideo, 2001. p. - |
| **94** | KREUTZ, Márcio Eduardo; CARRO, Luigi; ZEFERINO, Cesar Albenes; SUSIN, Altamiro Amadeu. Communication Architectures for System-on-Chip. In: (INT.) Symposium on Integrated Circuits and System Design, 2001, Pirinópolis. Proceedings. Los Alamitos: IEEE Computer Society, 2001. p. 14-19 |
| **95** | RIZZI, Rogério Luiz; DORNELES, Ricardo Vargas; ZEFERINO, Cesar Albenes; DIVERIO, Tiaraju Asmuz; NAVAUX, Philippe Alexander Olivier; SUSIN, Altamiro Amadeu; BAMPI, Sergio. Fluvial Flow of the Guaíba River - A Parallel Solution for the Shallow Water Equations Model. In: INTERNATIONAL MEETING ON VECTOR AND PARALLEL PROCESSING (VECPAR - International Meeting on High Performance Computing for Computational Science), 2000, Porto. Proceedings. Porto: Faculdade de Engenharia da Universidade do Porto, 2000. p. 885-896 |
| **96** | ZEFERINO, Cesar Albenes; RIZZI, Rogério Luiz; DORNELES, Ricardo Vargas; BAMPI, Sergio; SUSIN, Altamiro Amadeu. Parallel Simulation of the Hydrodynamics of Guaíba River. In: MICROELECTRONICS SEMINAR, 2000, Torres. Proceedings. Porto Alegre: Instituto de Informática da UFRGS, 2000. p. 22-24 |
| **97** | DORNELES, Ricardo Vargas; RIZZI, Rogério Luiz; ZEFERINO, Cesar Albenes; DIVERIO, Tiaraju Asmuz; NAVAUX, Philippe Alexander Olivier; SUSIN, Altamiro Amadeu; BAMPI, Sergio. PC Cluster Implementation of a Mass Transport Two-Dimensional Model. In: (INT.) SYMPOSIUM ON COMPUTER ARCHITECTURE AND HIGH PERFORMANCE COMPUTING, 2000, São Pedro. Proceedings. São Carlos: UFSCar, 2000. p. 191-198 |
| **98** | DORNELES, Ricardo Vargas; RIZZI, Rogério Luiz; ZEFERINO, Cesar Albenes; DIVERIO, Tiaraju Asmuz; NAVAUX, Philippe Alexander Olivier; SUSIN, Altamiro Amadeu; BAMPI, Sergio. Parallel Solution for Shallow Waters Equations Using Data Decomposition. In: (INT.) WORKSHOP DE SISTEMAS DISTRIBUÍDOS Y PARALELISMO, 2000, Santiago. Anales. Santiago: Universidad de Santiago, 2000. p. - |
| **99** | ZEFERINO, Cesar Albenes; SUSIN, Altamiro Amadeu; CARRO, Luigi. Projeto em VHDL de uma Rede de Interconexão Experimental. In: (INT.) WORKSHOP IBERCHIP, 1999, Lima. Memorias. Lima: Hozlo S.L.R, 1999. p. 277-284 |
| **100** | ZEFERINO, Cesar Albenes; BAMPI, Sergio; SUSIN, Altamiro Amadeu. A Study on Interconnection Networks for High Performance Parallel Computers. In: MICROELECTRONICS SEMINAR, 1999, Pelotas. Proceedings. Porto Alegre: Instituto de Informática da UFRGS, 1999. p. 33-40 |
| **101** | ZEFERINO, Cesar Albenes; FREITAS FILHO, Paulo José de; MERKLE, Carla; BOING, Hamilcar; SILVA, Valéria Alves. A Simulation Model for the Comparision of Two Multicomputer Architectures. In: (INT.) SUMMER COMPUTER SIMULATION CONFERENCE, 1996, Portland. Proceedings. : , 1996. p. 481-484 |
| **102** | ZEFERINO, Cesar Albenes; FRÖHLICH, Antônio Augusto; SILVA, Valéria Alves. Process Communication in Nó//. In: INTERNATIONAL CONFERENCE ON INFORMATION SYSTEMS ANALYSIS AND SYSTEMS, 1996, Orlando. Proceedings. : , 1996. p. - |
| **103** | ZEFERINO, Cesar Albenes; LÜCKE, Herman Adolf Harry; SILVA, Valéria Alves. Um Multicomputador com Sistema Experimental de Comunicação. In: SIMPÓSIO BRASILEIRO DE ARQUITETURA DE COMPUTADORES - PROCESSAMENTO DE ALTO DESEMPENHO, 1995, Canela. Anais. Porto Alegre: Editora da UFRGS, 1995. p. 137-150 |
| **104** | ZEFERINO, Cesar Albenes; PINHEIRO, Humberto. A Simple Control Strategy for Shunt Passive Conditioner with Indutive Energy Storage. In: INTERNATIONAL CONFERENCE ON INDUSTRIAL ELECTRONICS, CONTROLl AND INSTRUMENTATION, 1993, Maui. Proceedings. : , 1993. p. 1093-1098 |
| **105** | PEREIRA, M. C.; VIERA, P. V.; RAABE, A. L. A.; ZEFERINO, C. A.. A basic processor for teaching digital circuits and systems design with FPGA. In: 2012 VIII Southern Conference on Programmable Logic (SPL), , Bento Goncalves. 2012 VIII Southern Conference on Programmable Logic. : IEEE, . p. 1-194 |

# Resumos expandidos publicados em anais de congressos

|  |  |
| --- | --- |
| **1** | PEREIRA, LUCAS M. V.; MELO, DOUGLAS R.; ZEFERINO, CESAR A.; BEZERRA, EDUARDO A.. Analysis of LEON3 systems integration for a Network-on-Chip. In: 2018 IEEE 19th LatinAmerican Test Symposium (LATS), 2018, Sao Paulo. 2018 IEEE 19th Latin-American Test Symposium (LATS). New York: IEEE, 2018. p. 1-3 |
| **2** | METZGER, Luiz Gustavo; ZEFERINO, Cesar Albenes; FLOREZ, M. J. S.. Modeling attacks on NoC-based SoCs. In: MICROELECTRONICS STUDENTS FORUM (SFORUM), 14., 2014, Aracajú. Proceedings.... Aracajú: UFS, 2014. p. 1-3 |
| **3** | VIEIRA, Paulo Viniccius; RECH, Paulo Roberto Machado; RAABE, André Luis Alice; ZEFERINO, Cesar Albenes. BIP IV: Ampliando o potencial pedagógico da ferramenta Bipide. In: SIMPÓSIO BRASILEIRO DE INFORMÁTICA NA EDUCAÇÃO, 2011, Aracajú. Proceedings.... S.l.: s.n., 2011. p. 841-843 |

# Resumos publicados em anais de congressos

|  |  |
| --- | --- |
| **1** | VIEIRA, PAULO; ZEFERINO, CESAR; PERES, BRUNO. Bipide Web: Construção de uma Versão Online do Ambiente de Desenvolvimento Integrado Bipide. In: VI Congresso Brasileiro de Informática na Educação, 2017, Recife. . : , 2017. p. 91- |
| **2** | BRUCH, Jaison Valmor; ZEFERINO, Cesar Albenes. Codificação de dados Bus-invert aplicada na redução do consumo de energia na rede SoCIN com avaliação em tecnologia ASIC. In: SEMINÁRIO DE INICIAÇÃO CIENTÍFICA, 12., 2013, Itajaí. Anais... Itajaí: Univali, 2013. p. - |
| **3** | RECALCATTI, Éderson; PEREIRA, Rodrigo Vinícius Mendonça; ZEFERINO, Cesar Albenes. Avaliação da confiabilidade do protocolo LIN em aplicações aeroespaciais. In: SEMINÁRIO DE INICIAÇÃO CIENTÍFICA, 12., 2013, Itajaí. Anais... Itajaí: Univali, 2013. p. - |
| **4** | HEIL, Maiara; ZEFERINO, Cesar Albenes; CANCIAN, Rafael Luiz; TORRES, Roberto Miguel. Sistema Web para gerenciamenro de requisições de um observatório. In: REUNIÃO ANUAL DA SOCIEDADE ASTRONÔMICA BRASILEIRA, 31., 2005, . Boletim da Sociedade Astronômica Brasileira. São Paulo:: Sociedade Astronômica Brasileira, 2005. p. 192-192 |
| **5** | HOSTINS, Higor; FIAMONCINI, Julio Cesar; VALLE FILHO, Adhemar Maria do; ZEFERINO, Cesar Albenes. PROPIC: A Hardware/Software Platform for the Synthesis of Microcontroller-based Systems in FPGA. In: 4th Students Forum on Microelectronics, 2004, Porto de Galinhas. Proceedings. S.l.: s.n., 2004. p. - |
| **6** | HOSTINS, Higor; ZEFERINO, Cesar Albenes. Desenvolvimento de um Modelo de Microcontrolador Parametrizável em VHDL para Síntese em FPGA. In: XIX Congresso Regional de Iniciação Científica e Tecnológica em Engenharia, 2004, Curitiba. Anais. Curitiba: UFPR, 2004. p. - |
| **7** | SANTO, Frederico Guilherme Mariani Do Espirito; ZEFERINO, Cesar Albenes. Mecanismos de comunicação para Redes-em-Chip. In: III Seminário de Iniciação Científica da UNIVALI, 2004, BIguaçu. Anais. Itajaí: UNIVALI, 2004. p. 31-31 |
| **8** | DALFOVO, Edson; BARON, Sidnei; CANCIAN, Rafael Luiz; ZEFERINO, Cesar Albenes. Desenvolvimento de Sistemas Emvarcados para Controle de Acesso a Ambiente. In: XVIII Congresso Regional de Iniciação Científica e Tecnológica em Engenharia, 2003, Itajaí. Anais. Itajaí: UNIVALI, 2003. p. - |
| **9** | HOSTINS, Higor; ZEFERINO, Cesar Albenes. Adaptadores de Comunicação de Protocolos Padrão para o Protocolo de uma Rede-em-Chip. In: XVIII Congresso Regional de Iniciação Científica e Tecnológica em Engenharia, 2003, Itajaí. Anais. Itajaí: UNIVALI, 2003. p. - |
| **10** | MACHADO, Marcel Antônio de Souca; ZEFERINO, Cesar Albenes. Ferramentas de Apoio ao Projeto de Redes-em-Chip. In: XVIII Congresso Regional de Iniciação Científica e Tecnológica em Engenharia, 2003, Itajaí. Anais. Itajaí: UNIVALI, 2003. p. - |
| **11** | SANTO, Frederico Guilherme Mariani Do Espirito; ZEFERINO, Cesar Albenes. Mecanismos de Comunicação para Redes em Chip. In: XVIII Congresso Regional de Iniciação Científica e Tecnológica em Engenharia, 2003, Itajaí. Anais. Itajaí: UNIVALI, 2003. p. - |
| **12** | FIAMONCINI, Julio Cesar; ZEFERINO, Cesar Albenes. Desenvolvimento de Drivers de Dispositivos para uma Plataforma de Sistema Embarcado. In: XVIII Congresso Regional de Iniciação Científica e Tecnológica em Engenharia, 2003, Itajaí. Anais. Itajaí: UNIVALI, 2003. p. - |
| **13** | ZEFERINO, Cesar Albenes; SUSIN, Altamiro Amadeu. Networks-on-Chip: Architectures and Models to Evaluate Area and Performance. In: Int. IFIP WG 10.5 Conference on Very Large Scale Integration of System-on-Chip, 2003, Darmstadt. Proceedings. Darmstadt: Technische Universitat Darmstadt, 2003. p. 449- |
| **14** | ZEFERINO, Cesar Albenes; SUSIN, Altamiro Amadeu. Models to Evaluate Area and Performance of On-Chip Interconnection Architectures. In: 2nd International Information and Telecommunication Technologies Symposium, 2003, Florianópolis. Proceedings. Fundaçao Barddal Educ. e Cult.: Florianópolis, 2003. p. - |
| **15** | SANTO, Frederico Guilherme Mariani do Espírito; ZEFERINO, Cesar Albenes. Projeto, Síntese e Avaliação de Unidades Aritmética Lógica em FPGA. In: XVII Congresso Regional de Iniciação Científica e Tecnológica em Engenharia, 2002, Passo Fundo. Anais. Passo Fundo: Editora UPF, 2002. p. - |
| **16** | ZEFERINO, Cesar Albenes. Proposal of Interconnect Network Architecture for Multiprocessor Systems and High Level Synthesis. In: MICROELECTRONICS SEMINAR, 1998, Bento Gonçalves. Proceedings. Porto Alegre: Instituto de Informática da UFRGS, 1998. p. 193-194 |
| **17** | ZEFERINO, Cesar Albenes; PINHEIRO, Humberto; PINHEIRO, José Renes; COLLING, Ivan Eidt. Simulação Dinâmica do Motor de Indução com Controle Vetorial. In: JORNADA DE PESQUISA DA UFSM, 1992, Santa Maria. Anais. Santa Maria: Editora da UFSM, 1992. p. 565-565 |
| **18** | BALDISSERA, Fábio Antônio; PEREIRA, Dalnei da Veiga; CHIESA, Juarez; RAISER, A. G.; ZEFERINO, Cesar Albenes. Estudo do Criocongelamento Progressivo de Células de Medula Óssea Canina Utilizando o Sistema Cryoson. In: Jornada de Pesquisa da UFSM, 1992, Santa Maria. Anais. Santa Maria: Editora da UFSM, 1992. p. 81-81 |
| **19** | COLLING, Ivan Eidt; ZEFERINO, Cesar Albenes; PINHEIRO, Humberto; PINHEIRO, José Renes. Simulação do Motor de Indução Baseado no Princípio da Orientação pelo Campo. In: SALÃO DE INICIAÇÃO CIENTÍFICA, 1992, Porto Alegre. Anais. Porto Alegre: Editora da UFRGS, 1992. p. 175- |
| **20** | ZEFERINO, Cesar Albenes; BALDISSERA, Fábio Antônio; PEREIRA, Dalnei da Veiga; CHIESA, Juarez; RAISER, A. G.. Estudo do Sistema Cryoson Aplicado ao Congelamento de Medula Óssea Canina. In: SALÃO DE INICIAÇÃO CIENTÍFICA, 1992, Porto Alegre. Anais. Porto Alegre: Editora da UFRGS, 1992. p. 177-177 |
| **21** | ZEFERINO, Cesar Albenes; PINHEIRO, José Renes. Desenvolvimento de um Simulador de Controle Vetorial de Motor de Indução. In: JORNADA DE PESQUISA DA UFSM, 1991, Santa Maria. Anais. Santa Maria: Editora da UFSM, 1991. p. 183-183 |
| **22** | ZEFERINO, Cesar Albenes; PINHEIRO, José Renes; ROCHA, Thomaz Port da. O Microcontrolador 80C196 Associado a Inversores. In: SALÃO DE INICIAÇÃO CIENTÍFICA, 1991, Porto Alegre. Anais. Porto Alegre: Editora da UFRGS, 1991. p. 174-174 |
| **23** | ZEFERINO, Cesar Albenes; PINHEIRO, José Renes. Desenvolvimento de um Simulador de Controle Vetorial de Motor de Indução. In: SALÃO DE INICIAÇÃO CIENTÍFICA, 1991, Porto Alegre. Anais. Porto Alegre: Editora da UFRGS, 1991. p. 242-242 |

# Apresentações de Trabalho

|  |  |
| --- | --- |
| **1** | ZEFERINO, CESAR. A Importância da Pesquisa na Formação do Mestre Profissional em Gestão de Políticas Públicas. 2019. (Apresentação de Trabalho/Conferência ou palestra) |
| **2** | ALBENES ZEFERINO, CESAR. Laboratório de Sistemas Embarcados e Distribuídos. 2015. (Apresentação de Trabalho/Conferência ou palestra) |
| **3** | ZEFERINO, Cesar Albenes; COMUNELLO, Eros; CABRAL, Rodrigo Becke. Painel P&D em Computação Aplicada. 2015. (Apresentação de Trabalho/Conferência ou palestra) |
| **4** | ZEFERINO, Cesar Albenes. Redes-em-Chip e pesquisas no Laboratório de Sistemas Embarcados e Distribuídos. 2014. (Apresentação de Trabalho/Conferência ou palestra) |
| **5** | ZEFERINO, Cesar Albenes. Mestrado em Computação Aplicada. 2014. (Apresentação de Trabalho/Conferência ou palestra) |
| **6** | ZEFERINO, Cesar Albenes. Introdução às Redes-em-Chip. 2014. (Apresentação de Trabalho/Conferência ou palestra) |
| **7** | ZEFERINO, Cesar Albenes. Mestrado em Computação Aplicada. 2014. (Apresentação de Trabalho/Conferência ou palestra) |
| **8** | ZEFERINO, Cesar Albenes. Introdução às Redes-em-Chip. 2013. (Apresentação de Trabalho/Conferência ou palestra) |
| **9** | ZEFERINO, Cesar Albenes. Mestrado em Computação Aplicada. 2013. (Apresentação de Trabalho/Conferência ou palestra) |
| **10** | ZEFERINO, Cesar Albenes. Arquitetura de Redes em Chip. 2012. (Apresentação de Trabalho/Conferência ou palestra) |
| **11** | ZEFERINO, Cesar Albenes. Mestrado em Computação Aplicada. 2011. (Apresentação de Trabalho/Conferência ou palestra) |
| **12** | ZEFERINO, Cesar Albenes. Mestrado em Computação Aplicada. 2011. (Apresentação de Trabalho/Conferência ou palestra) |
| **13** | ZEFERINO, Cesar Albenes. Engenharia de Computação. 2011. (Apresentação de Trabalho/Conferência ou palestra) |
| **14** | PEREIRA, Rodrigo Vinícius Mendonça; GUTSTEIN, William Simon; FREITAS, Gabriel Goedert; RECALCATTI, Éderson; ZEFERINO, Cesar Albenes. Development of an IP core for the LIN automotive network. 2011. (Apresentação de Trabalho/Congresso) |
| **15** | VEIGA, Fabrício; ZEFERINO, Cesar Albenes. Provimento de tolerância a faltas em Redes-em-Chip. 2010. (Apresentação de Trabalho/Congresso) |
| **16** | ZEFERINO, Cesar Albenes. Parcerias e capacidade de investimentos em inovação. 2010. (Apresentação de Trabalho/Conferência ou palestra) |
| **17** | ZEFERINO, Cesar Albenes; VEIGA, Fabrício. Provimento de tolerância a faltas em Redes-em-Chip. 2010. (Apresentação de Trabalho/Conferência ou palestra) |
| **18** | ZEFERINO, Cesar Albenes. Mestrado em Computação Aplicada da UNIVALI. 2010. (Apresentação de Trabalho/Conferência ou palestra) |
| **19** | BRUCH, Jaison Valmor; PIZZONI, Magnos Roberto; ZEFERINO, Cesar Albenes. BrownPepper: a SystemC-based simulator for performance evaluation of Networks-on-Chip. 2009. (Apresentação de Trabalho/Congresso) |
| **20** | ZEFERINO, Cesar Albenes. Projeto de Redes-em-Chip para Sistemas Multicore. 2009. (Apresentação de Trabalho/Conferência ou palestra) |
| **21** | ZEFERINO, Cesar Albenes. Mestrado em Computação Aplicada. 2009. (Apresentação de Trabalho/Conferência ou palestra) |
| **22** | ZEFERINO, Cesar Albenes. Redes-em-Chip para sistemas multicore. 2008. (Apresentação de Trabalho/Conferência ou palestra) |
| **23** | ZEFERINO, Cesar Albenes. O Mestrado em Computação Aplicada da UNIVALI e a Sociedade Brasileira de Computação. 2007. (Apresentação de Trabalho/Conferência ou palestra) |
| **24** | ZEFERINO, Cesar Albenes; BRUCH, Jaison Valmor; PEREIRA, Thiago Felski; KREUTZ, Márcio Eduardo; SUSIN, Altamiro Amadeu. Avaliação de desempenho de Rede-em-Chip modelada em SystemC. 2007. (Apresentação de Trabalho/Congresso) |
| **25** | SILVA, Marcos Roberto da; PEREIRA, Maicon Carlos; SALVADOR, Caroline Farias; TORRES, Roberto Miguel; CANCIAN, Rafael Luiz; ZEFERINO, Cesar Albenes. AstroFácil: Sistema Computacional Embarcado para Automatização de Telescópios de Pequeno Porte. 2006. (Apresentação de Trabalho/Congresso) |
| **26** | CANCIAN, Maiara Heil; ZEFERINO, Cesar Albenes; CANCIAN, Rafael Luiz; TORRES, Roberto Miguel. Sistema Web para Gerenciamento do Acesso a um Observatório Astronômico. 2006. (Apresentação de Trabalho/Congresso) |
| **27** | ZEFERINO, Cesar Albenes. Computação Embarcada. 2006. (Apresentação de Trabalho/Conferência ou palestra) |
| **28** | ZEFERINO, Cesar Albenes. Introdução a Redes em Chip. 2005. (Apresentação de Trabalho/Conferência ou palestra) |
| **29** | SANTO, Frederico Guilherme Mariani Do Espirito; ZEFERINO, Cesar Albenes; SUSIN, Altamiro Amadeu. Uma arquitetura de roteador parametrizável para a síntese de Redes-em-Chip. 2004. (Apresentação de Trabalho/Congresso) |
| **30** | FIAMONCINI, Julio Cesar; CANCIAN, Rafael Luiz; ZEFERINO, Cesar Albenes. Desenvolvimento de drivers de dispositivos para uma plataforma de sistema embarcado microcontrolado. 2004. (Apresentação de Trabalho/Congresso) |
| **31** | ZEFERINO, Cesar Albenes. Conceitos e metodologias para o projeto de circuitos integrados. 2003. (Apresentação de Trabalho/Conferência ou palestra) |
| **32** | ZEFERINO, Cesar Albenes; BAMPI, Sergio; SUSIN, Altamiro Amadeu. A study on interconnection networks for high performance parallel computers. 1999. (Apresentação de Trabalho/Congresso) |
| **33** | ZEFERINO, Cesar Albenes. Introdução à Lógica Programável. 1997. (Apresentação de Trabalho/Conferência ou palestra) |
| **34** | ZEFERINO, Cesar Albenes. O Multicomputador Nó//. 1995. (Apresentação de Trabalho/Conferência ou palestra) |
| **35** | ZEFERINO, Cesar Albenes; LÜCKE, Herman Adolf Harry. Um multicomputador com sistema experimental de comunicação. 1995. (Apresentação de Trabalho/Congresso) |

# Outras produções bibliográficas

|  |  |
| --- | --- |
| **1** | ZEFERINO, Cesar Albenes. Um estudo sobre a transformada discreta do cosseno e sua aplicacao na codificacao de video digital. Porto Alegre: CPGCC da UFRGS, 1999 (Trabalho Individual). |

|  |
| --- |
| **Produção técnica** |

# Assessoria e consultoria

|  |  |
| --- | --- |
| **1** | ZEFERINO, Cesar Albenes. Consultor externo do processo de análise de projetos de pesquisa para a Pró-Reitoria de Pesquisa e Pós-Graduação da Universidade Regional de Blumenau nos programas PIBIC/CNPq e PIBIC/FURB. 2005. |
| **2** | ZEFERINO, Cesar Albenes. Membro do Comitê de Avaliação de propostas para Projeto do Sistema Brasileiro de TV Digital (MC/MCT/FINEP/FUNTEL). 2004. |

# Programas de computador sem registro

|  |  |
| --- | --- |
| **1** | PERES, Bruno Pereira. BipWeb. 2016. |
| **2** | SILVA, Eduardo Alves da; ZEFERINO, Cesar Albenes. RedScarf - Network-on-Chip Simulator. 2014. |
| **3** | GONCALVES, Hendrig Wernner Maus Santana; BORTOLUZZI, Fabrício; ZEFERINO, Cesar Albenes. BIP/OS: sistema operacional de tempo real para o microcontrolador uBIP. 2013. |
| **4** | OLIVEIRA JR., Nereu Pires de; RAABE, André Luis Alice; ZEFERINO, Cesar Albenes. Bipide 4.0. 2013. |
| **5** | VIEIRA, Paulo Viniccius; RAABE, André Luis Alice; ZEFERINO, Cesar Albenes; WAGNER, Flávio Rech. Bipide 3.0. 2011. |
| **6** | ZEFERINO, Cesar Albenes; BRUCH, Jaison Valmor. BrownPepper 2009. 2009. |
| **7** | VIEIRA, Paulo Viniccius; ZEFERINO, Cesar Albenes. BipIde - IDE para programação com o processador BIP. 2009. |
| **8** | ZEFERINO, Cesar Albenes; PEREIRA, Thiago Felski; BRUCH, Jaison Valmor. X Gsim: Plataforma para avaliação de desempenho de Rede-em-Chip. 2007. |
| **9** | ZEFERINO, Cesar Albenes; BRUCH, Jaison Valmor. Modelo SystemC RTL do roteador ParIS. 2007. |
| **10** | ZEFERINO, Cesar Albenes; BRUCH, Jaison Valmor. Modelo SystemC TL de núcleo medidor de tráfego. 2007. |
| **11** | ZEFERINO, Cesar Albenes; BRUCH, Jaison Valmor. Modelo SystemC TL de núcleo gerador de tráfego. 2007. |
| **12** | ZEFERINO, Cesar Albenes; HOSTINS, Higor; VIEIRA, Paulo Viniccius. PIC Tools. 2005. |

# Produtos tecnológicos

|  |  |
| --- | --- |
| **1** | MELO, Douglas Rossi; ZEFERINO, Cesar Albenes. XIRU: Extensible Interface for Routing Unit. 2013. |
| **2** | PEREIRA, Rodrigo Vinícius Mendonça; GUTSTEIN, William Simon; FREITAS, Gabriel Goedert; ZEFERINO, Cesar Albenes. LIN IP Verilog. 2011. |
| **3** | BEREJUCK, Marcelo Daniel; ZEFERINO, Cesar Albenes. ParIS 2: A Parameterizable Interconnect Switch for Networks-on-Chip with QoS. 2009. |
| **4** | PEREIRA, Rodrigo Vinícius Mendonça; ZEFERINO, Cesar Albenes. LIN IP VHDL. 2008. |
| **5** | SANTANA, Rodrigo Martins; ZEFERINO, Cesar Albenes. Soft-cores em VHDL sintetizável de adaptadores de interface OCP/SoCIN baseados no protocolo OCP Básico. 2007. |
| **6** | ZEFERINO, Cesar Albenes; PEREIRA, Fabiano Melo; HOSTINS, Higor. PIC16vhdl. 2005. |
| **7** | ZEFERINO, Cesar Albenes; SANTO, Frederico Guilherme Mariani Do Espirito. ParIS (Parameterizable Interconnection Switch). 2003. |
| **8** | ZEFERINO, Cesar Albenes. RASoC (Router Architecture for SoC). 2002. |
| **9** | ZEFERINO, Cesar Albenes. RSPIN - Router for SPIN (Scalable, Programmable Interconnection Network). 2001. |
| **10** | ZEFERINO, Cesar Albenes; GONTIJO, Walter. Interface PCI integrada em FPGA. 1997. |

# Trabalhos técnicos

|  |  |
| --- | --- |
| **1** | ZEFERINO, Cesar Albenes. Consultor ad hoc do CNPq - Processo No XXXX30-2021-7. 2021. |
| **2** | ZEFERINO, Cesar Albenes. Consultor ad hoc do CNPq - Processo No XXXX31-2020-9. 2020. |
| **3** | ZEFERINO, CESAR. Consultor ad hoc do CNPq - Processo No XXXX52-2020-1. 2020. |
| **4** | ZEFERINO, Cesar Albenes. Consultor ad-hoc da Capes - Processo No. XXXXX.XXXX74-2019-00. 2019. |
| **5** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 05/2019 - PIBIC. 2019. |
| **6** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 02/2019 - Programa de Bolsas de Pesquisa do Artigo 170. 2019. |
| **7** | ZEFERINO, Cesar Albenes. Consultor ad hoc do CNPq - Processo No XXXX41-2019-9. 2019. |
| **8** | ZEFERINO, CESAR. Consultor ad-hoc da Capes - Processo No. XXXXX.XXXX98-2019-00. 2019. |
| **9** | ZEFERINO, Cesar Albenes. Consultor ad-hoc da Capes - Processo No. XXXXX.XXXX87-2018-01. 2018. |
| **10** | ZEFERINO, Cesar Albenes. Consultor ad hoc da SBMicro - Avaliador de dissertação submetida ao Concurso de Teses e Dissertações 2017. 2017. |
| **11** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Avaliador de proposta submetida ao Edital 35/2017 - Programa de Apoio a Eventos no Pai&#769;s - PAEP (Processo XXXX.155263/2017-00. 2017. |
| **12** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de Relato&#769;rio Final do Edital 05-2016. 2017. |
| **13** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de Relato&#769;rio Final do Edital 06-2014. 2017. |
| **14** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 03/2017 - PIBIC. 2017. |
| **15** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 02/2017 - Programa de Bolsas de Pesquisa do Artigo 170. 2017. |
| **16** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 05/2017 - ProBIC. 2017. |
| **17** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 04/2017 - PIBITI. 2017. |
| **18** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 02/2016 - Programa de Bolsas de Pesquisa do Artigo 170. 2016. |
| **19** | ZEFERINO, Cesar Albenes. Consultor ad hoc do CNPq - Processo No XXXX34-16-3. 2016. |
| **20** | ZEFERINO, Cesar Albenes. Consultor ad hoc do CNPq - Processo No XXXX97-16-0. 2016. |
| **21** | ZEFERINO, Cesar Albenes. Consultor ad hoc do CNPq - Processo No XXXX84-13-9. 2016. |
| **22** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 03/2016 - PIBIC. 2016. |
| **23** | ZEFERINO, Cesar Albenes. Consultor ad hoc do CNPq - Processo No XXXX34-16-6. 2016. |
| **24** | ZEFERINO, Cesar Albenes. Consultor ad hoc do CNPq - Processo No XXXX63-16-5. 2016. |
| **25** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX90-15-82. 2016. |
| **26** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 04/2016 - PIBITI. 2016. |
| **27** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 05/2016 - ProBIC. 2016. |
| **28** | ZEFERINO, CESAR. Consultor ad hoc da SBMicro - Avaliador de dissertação submetida ao Concurso de Teses e Dissertações 2016. 2016. |
| **29** | ZEFERINO, Cesar Albenes. Consultor ad hoc do CNPq - Processo No XXXX87-16-4. 2016. |
| **30** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX54-15-88. 2015. |
| **31** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX86-15-21. 2015. |
| **32** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX98-15-16. 2015. |
| **33** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador dos relatórios finais em formato de artigo dos projetos aprovados no Edital 02/2014. 2015. |
| **34** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 03/2015 - PIBIC. 2015. |
| **35** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX01-15-12. 2015. |
| **36** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 05/2015 - ProBIC. 2015. |
| **37** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 04/2015 - PIBITI. 2015. |
| **38** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX39-15-71. 2015. |
| **39** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX13-15-09. 2015. |
| **40** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX90-15-82. 2015. |
| **41** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Elsevier - Avaliador de livro didático. 2015. |
| **42** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XXX51-14-3. 2015. |
| **43** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 02/2015 - Art. 170. 2015. |
| **44** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador dos relatórios finais em formato de artigo dos projetos aprovados no Edital 03/2014. 2015. |
| **45** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador dos relatórios finais em formato de artigo dos projetos aprovados no Edital 04/2014. 2015. |
| **46** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador dos relatórios finais em formato de artigo dos projetos aprovados no Edital 05/2014. 2015. |
| **47** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XXX16-14-3. 2015. |
| **48** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX35-14-4. 2014. |
| **49** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX28-14-4. 2014. |
| **50** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX31-14-8. 2014. |
| **51** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX31-14-0. 2014. |
| **52** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX05-14-1. 2014. |
| **53** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX35-14-0. 2014. |
| **54** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX14-14-93. 2014. |
| **55** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 02/2014 - Programa de Bolsas de Pesquisa do Artigo 170. 2014. |
| **56** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX48-14-58. 2014. |
| **57** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX73-14-01. 2014. |
| **58** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX22-14-08. 2014. |
| **59** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX50-14-32. 2014. |
| **60** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX02-14-47. 2014. |
| **61** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX84-14-4. 2014. |
| **62** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX93-14-52. 2014. |
| **63** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 05/2014 - ProBIC. 2014. |
| **64** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador dos relatórios finais em formato de artigo dos projetos aprovados no Edital 02/2013. 2014. |
| **65** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 04/2014 - PIBITI. 2014. |
| **66** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 03/2014 - PIBIC. 2014. |
| **67** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX02-14-51. 2014. |
| **68** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX16-14-1. 2014. |
| **69** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XXX41-13-1. 2013. |
| **70** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX62-13-0. 2013. |
| **71** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX40-13-0. 2013. |
| **72** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX52-13-0. 2013. |
| **73** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX29-13-8. 2013. |
| **74** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX57-13-5. 2013. |
| **75** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Membro da Comissão de Avaliação do Prêmio Capes de Teses. 2013. |
| **76** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XXX93-12-2. 2013. |
| **77** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX18-13-07. 2013. |
| **78** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX57-13-71. 2013. |
| **79** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Membro da Comissão de Análise do APCN Profissional 2013. 2013. |
| **80** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX60-13-20. 2013. |
| **81** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX0-13-80. 2013. |
| **82** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX02-13-31. 2013. |
| **83** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XXX44-13-7. 2013. |
| **84** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador dos relatórios finais em formato de artigo dos projetos aprovados no Edital 02/2012. 2013. |
| **85** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 03/2013 - PIBIC. 2013. |
| **86** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Seminário de Acompanhamento de Programas de Pós-Graduação em Ciência da Computação - Ano 2013. 2013. |
| **87** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX51-13-5. 2013. |
| **88** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX22-13-0. 2013. |
| **89** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Membro da Comissão de Análise de Pedidos de Reconsideração da Avaliação Trienal 2013 da área de Ciência da Computação. 2013. |
| **90** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX14-13-9. 2013. |
| **91** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX67-13-9. 2013. |
| **92** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 02/2013 - Programa de Bolsas de Pesquisa do Artigo 170. 2013. |
| **93** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX42-13-07. 2013. |
| **94** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX30-13-17. 2013. |
| **95** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX18-13-6. 2013. |
| **96** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Prêmio Capes de Teses - Ano 2013. 2013. |
| **97** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX48-13-1. 2013. |
| **98** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Membro da Comissão de Análise do APCN Acadêmico 2013. 2013. |
| **99** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XXX69-13-3. 2013. |
| **100** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 04/2013 - PIBITI. 2013. |
| **101** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 05/2013 - ProBIC. 2013. |
| **102** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX00-13-08. 2013. |
| **103** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX22-13-8. 2013. |
| **104** | ZEFERINO, Cesar Albenes. Consultor ad hoc do CNPq - Processo No XXXX27/2013-3. 2013. |
| **105** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Membro da Comissão de Elaboração do Qualis e DOC Área da área de Ciência da Computação. 2012. |
| **106** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 04/2012. 2012. |
| **107** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 07/2012. 2012. |
| **108** | ZEFERINO, Cesar Albenes. Consultor ad hoc do CNPq - Processo No XXXX70/2012-5. 2012. |
| **109** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de relatório final de projeto aprovado no Edital 03/2011. 2012. |
| **110** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX95-12-91. 2012. |
| **111** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 02/2012 - Programa de Bolsas de Pesquisa do Artigo 170. 2012. |
| **112** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XX38-12-52. 2012. |
| **113** | ZEFERINO, Cesar Albenes; CASANOVA, Marco Antonio; CACERES, Edson Roberto. Consultor ad hoc da Capes - Prêmio Capes de Teses - Ano 2012. 2012. |
| **114** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XXX05-12-0. 2012. |
| **115** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Processo No XXX16-12-2. 2012. |
| **116** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Julgamento de Propostas de MINTER/DINTER e Mestrado Profissional da área de Ciência da Computação. 2012. |
| **117** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 03/2011 - PIBITI. 2011. |
| **118** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 02/2011 - PIBIC/CNPq. 2011. |
| **119** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 01/2011. 2011. |
| **120** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Membro da Comissão de Análise do APCN 2011. 2011. |
| **121** | ZEFERINO, Cesar Albenes. Consultor ad hoc do CNPq - Processo No XXXX99/2011-0. 2011. |
| **122** | ZEFERINO, Cesar Albenes. Consultor ad hoc do CNPq - Processo No XXXX42/2011-0. 2011. |
| **123** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Capes - Acompanhamento da Reunião de Coordenadores de PPG da área de Ciência da Computação - Ano 2011. 2011. |
| **124** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 02/2010 - PIBIC/CNPq. 2010. |
| **125** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 01/2010 - Programa de Bolsas de Pesquisa do Artigo 170. 2010. |
| **126** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 03/2010 - ProBIC. 2010. |
| **127** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 02/2009 - PIBIC/CNPq. 2009. |
| **128** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 01/2008 - Programa de Bolsas de Pesquisa do Artigo 170. 2008. |
| **129** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 03/2008 - ProBIC. 2008. |
| **130** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 01/2007 - Programa de Bolsas de Pesquisa do Artigo 170. 2007. |
| **131** | ZEFERINO, Cesar Albenes. Consultor ad hoc da FAPESC - Chamada Pública para Pesquisa Universal CT&I FAPESC 03/2006. 2006. |
| **132** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 02/2006 - Programa de Bolsas de Pesquisa do Artigo 170. 2006. |
| **133** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 04/2006 - ProBIC. 2006. |
| **134** | ZEFERINO, Cesar Albenes. Consultor ad hoc da FURB - Programas PIBIC/CNPq e ProBIC/CNPq 2005. 2005. |
| **135** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 02/2005 - ProBIC. 2005. |
| **136** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 03/2005 - PIBIC. 2005. |
| **137** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 01/2005 - Programa de Bolsas de Pesquisa do Artigo 170. 2005. |
| **138** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 04/2004 - ProBIC. 2004. |
| **139** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 03/2004 - ProBIC. 2004. |
| **140** | ZEFERINO, Cesar Albenes. Consultor ad hoc da FINEP - Comitê de Avaliação de Projetos referente à carta-convite MC/MCT/FINEP/FUNTTEL 06/2004. 2004. |
| **141** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos ao Edital 01/2004 - Programa de Bolsas de Pesquisa do Artigo 170. 2004. |
| **142** | ZEFERINO, Cesar Albenes. Consultor ad hoc da Univali - Avaliador de projetos submetidos aos programas de bolsas ProBIC e PIBIC 2003. 2003. |

# Entrevistas, mesas redondas, programas e comentários na mídia

|  |  |
| --- | --- |
| **1** | ZEFERINO, Cesar Albenes; SPANN, James; MATTEI, Andre Luiz Pierri. Impacto do ensino de engenharia e de ciências na indústria e no desenvolvimento econômico,. 2017. (Programa de rádio ou TV/Mesa redonda). |